

CA-IS3221C 4.7A 拉/6A 灌电流双通道隔离栅极驱动器

1. 特性

- 灵活支持多种配置
 - 双通道低边驱动、双通道高边驱动和半桥驱动
- 支持 4.7A 峰值拉电流和 6A 峰值灌电流驱动
- 输入侧电源 V_{CCI} 支持 3V 至 5.5V 供电电压范围
- 输出侧驱动电源 V_{DD} 高达 30V
 - 提供 6V 和 8V 高精度 UVLO 选项
- 优异的时序特性
 - 75ns (典型值) 传输延迟
 - 7ns (最大值) 器件间传输延迟偏差
 - 9ns (最大值) 脉宽失真
 - 40ns (最大值) 最小输入脉宽
- 片外可编程死区时间
- -40°C 至 $+125^{\circ}\text{C}$ 环境工作温度范围
- 高共模瞬态抗扰度 (CMTI): $> \pm 100\text{kV}/\mu\text{s}$
- 高可靠的电气隔离
 - 额定工作电压下隔离栅寿命大于 40 年
 - 最高 $5700\text{V}_{\text{RMS}}$ 隔离耐压等级
 - 最高 $12.8\text{kV}_{\text{PK}}$ 浪涌抗扰度
- 提供两种封装选项, 满足不同应用需求
 - SOIC16-WB (W), $5700\text{V}_{\text{RMS}}$ 隔离耐压等级
 - SOIC16-NB (N), $3750\text{V}_{\text{RMS}}$ 隔离耐压等级
- 安全认证
 - 根据 DIN EN IEC 60747-17(VDE 0884-17):2021-10 的 VDE 认证
 - 根据 UL 1577 的 UL 认证
 - 根据 GB4943.1-2022 的 CQC 认证
 - 根据 EN 62368-1 和 EN 61010-1 的 TUV 认证

2. 典型应用

- 服务器电源
- 储能逆变器
- 不间断电源 (UPS)
- EV/HEV 电池充电器
- 隔离 AC-DC 和 DC-DC 转换器

3. 概述

CA-IS3221C 系列产品为双通道隔离栅极驱动器, 可提供 4.7A 峰值拉电流和 6A 峰值灌电流驱动。这些器件支持高速切换, 结合器件的低传输延迟 (75ns, 典型值)、低脉宽失真等优势, 并提供不同的驱动电源 UVLO 选项, 使其成为 Si MOSFET、IGBT 和 SiC MOSFET 等大功率晶体管驱动的理想选择, 工作频率可达 2MHz, 适用于各种逆变器、隔离电源和电机驱动等应用。

所有器件采用电容隔离技术, 输入侧与驱动器输出侧通过二氧化硅 (SiO_2) 电容绝缘栅隔离, 提供高达 $5700\text{kV}_{\text{RMS}}$ (W 封装) 的隔离耐压等级, 以及最小 $100\text{kV}/\mu\text{s}$ 的共模瞬态抗扰度 (CMTI)。此外, 内部电路在二次侧 (输出侧) 的驱动器 A 与驱动器 B 之间提供功能隔离, 可支持最高 1500V_{DC} 的工作电压。

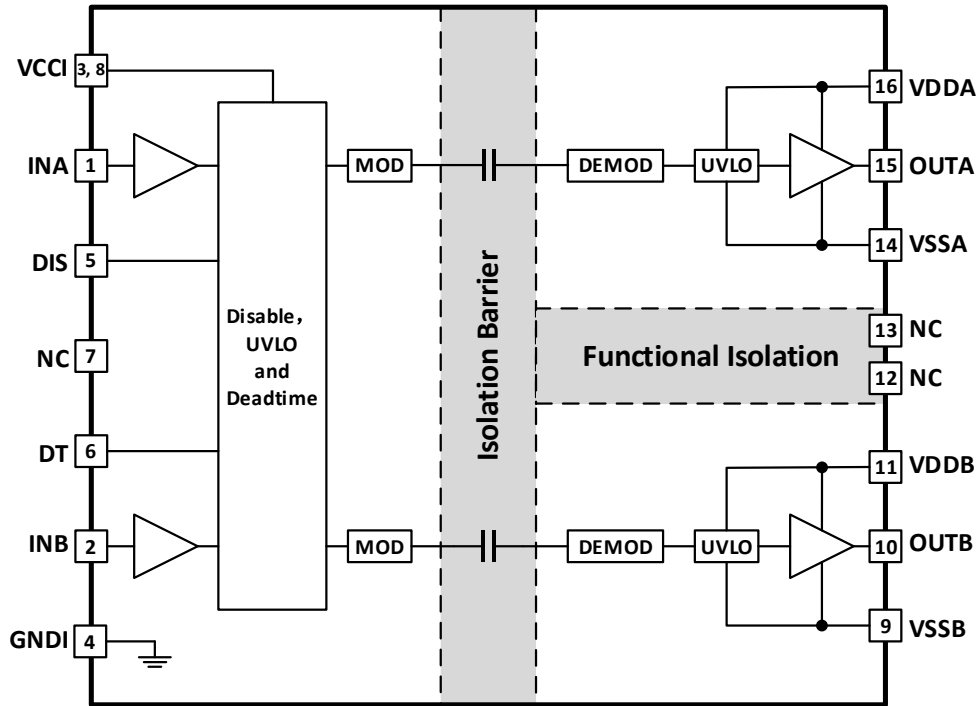
CA-IS3221C 系列隔离栅极驱动器可以配置为双通道低边驱动、双通道高边驱动和半桥驱动, 提供可编程死区时间。禁止控制功能允许器件通过控制 DIS 引脚将驱动器 A 和驱动器 B 的输出快速拉至低电平, 关断外部功率晶体管。另外, 当输入侧或输出侧电源未上电或开路、或低于 UVLO 门限时, 或当器件处于禁用状态时, 驱动器输出置于默认状态: 低电平; 当输入信号开路时, 驱动器输出同样置于默认状态: 低电平, 关断外部功率管。

CA-IS3221C 输入侧电源 V_{CCI} 支持 3V 到 5.5V 供电电压范围, 输出侧电源 V_{DD} 可接受高达 30V 的供电电压。器件环境工作温度范围为 -40°C 至 $+125^{\circ}\text{C}$, 提供 SOIC16-WB 和 SOIC16-NB 两种封装选项, 满足不同应用需求。

器件信息

器件型号	封装	封装尺寸 (标称值)
CA-IS3221CxW	SOIC16-WB (W)	10.30mm x 7.50mm
CA-IS3221CxN	SOIC16-NB (N)	10.00mm x 3.90mm

简化框图



4. 订购信息

表 4-1 有效订购零件编号

型号	VDDA/VDDB UVLO	隔离电压等级	封装
CA-IS3221CAW	6V	5700V _{RMS}	SOIC16-WB (W)
CA-IS3221CBW	8V	5700V _{RMS}	SOIC16-WB (W)
CA-IS3221CAN	6V	3750V _{RMS}	SOIC16-NB (N)
CA-IS3221CBN	8V	3750V _{RMS}	SOIC16-NB (N)

目录

1. 特性	1	8. 详细说明	16
2. 典型应用	1	8.1. 工作原理.....	16
3. 概述	1	8.2. 输入级.....	16
4. 订购信息	2	8.2.1. TTL 逻辑电平.....	16
5. 引脚功能描述	4	8.2.2. 禁止控制.....	16
6. 产品规格	5	8.3. 驱动器输出级.....	17
6.1. 绝对最大额定值 ¹	5	8.4. 欠压锁存 (UVLO).....	18
6.2. ESD 额定值.....	5	8.5. 数字隔离.....	19
6.3. 推荐工作条件.....	5	8.6. ESD 保护电路.....	19
6.4. 热量信息.....	6	8.7. 可编程死区时间.....	20
6.5. 额定功率.....	6	9. 应用信息	22
6.6. 隔离特性.....	7	9.1. 典型应用.....	22
6.7. 安全认证.....	8	9.2. 供电电源选择.....	22
6.8. 安全限值.....	8	9.3. 输入滤波器选择.....	22
6.9. 电气特性.....	9	9.4. 栅极驱动电阻选择.....	22
6.10. 开关特性.....	10	9.5. PCB 布局指南.....	23
6.11. 典型特性.....	11	10. 封装信息	24
7. 参数测量	13	10.1. SOIC16-WB 封装外形尺寸.....	24
7.1. 传输延迟与脉冲宽度失真.....	13	10.2. SOIC16-NB 封装外形尺寸.....	25
7.2. 上升时间与下降时间.....	13	11. 焊接信息	26
7.3. 输入禁止控制响应时间.....	13	12. 卷带信息	27
7.4. 可编程死区时间.....	14	13. 修订历史	28
7.5. UVLO 上电延迟.....	14	14. 重要声明	29
7.6. CMTI 测试电路.....	15		

5. 引脚功能描述

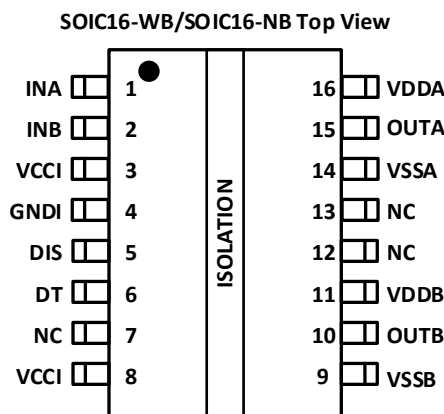


图 5-1 CA-IS3221CxW 和 CA-IS3221CxN 引脚配置

表 5-1 CA-IS3221CxW 和 CA-IS3221CxN 引脚功能描述

引脚名称	引脚编号	引脚类型	说明
	CA-IS3221CxW CA-IS3221CxN		
INA	1	输入	驱动器A的输入端，INA为TTL逻辑电平，内部下拉至GNDI。不使用时，将该引脚接GNDI。
INB	2	输入	驱动器B的输入端，INA为TTL逻辑电平，内部下拉至GNDI。不使用时，将该引脚接GNDI。
VCCI	3, 8	电源	输入侧供电电源输入，支持 3V 至 5.5V 供电电压范围，通过至少 0.1μF 电容将 VCCI 旁路至 GNDI，电容应尽可能靠近器件放置。
GNDI	4	地	输入侧地参考端。
DIS	5	逻辑输入	输入侧禁止控制端。DIS 为高电平时，器件禁用，驱动器输出置低；DIS 为低电平或开路时，驱动器正常工作。DIS 内部下拉至 GNDI。如果不使用，将该引脚接至 GNDI。
DT	6	输入	可编程死区时间输入。 <ul style="list-style-type: none"> ● 将 DT 连接至 VCCI 电源，允许输出交叠； ● 将 DT 短接至 GNDI 时，输出无死区时间，不允许输出交叠； ● 当 DT 与 GNDI 之间连接一个 500Ω~500kΩ 电阻，用于调节死区时间：$t_{DT} (ns) = 10 \times R_{DT} (k\Omega)$。建议在 DT 与 GNDI 之间放置至少 2.2nF 的旁路电容，电容紧靠 DT 引脚和 R_{DT} 电阻放置。该引脚不允许悬空。
NC	7, 12, 13	--	无内部连接。
VSSB	9	地	输出侧驱动器 B 的参考地。
OUTB	10	输出	栅极驱动器 B 的输出端。
VDDB	11	电源	输出侧驱动器 B 的供电电源输入，通过 0.1μF 10μF 电容将 VDDB 旁路至 VSSB，电容应尽可能靠近 VDDB 引脚放置。
VSSA	14	地	输出侧驱动器 B 的参考地。
OUTA	15	输出	栅极驱动器 A 的输出端。
VDDA	16	电源	输出侧驱动器 A 的供电电源输入，通过 0.1μF 10μF 电容将 VDDA 旁路至 VSSA，电容应尽可能靠近 VDDA 引脚放置。

6. 产品规格

6.1. 绝对最大额定值¹

所有测试在自然通风条件下完成，除非另有说明。

符号	参数	最小值	最大值	单位
输入侧供电电压	VCCI – GNDI	-0.3	6	V
驱动器侧供电电压	VDDA – VSSA, VDDDB – VSSB	-0.3	32	V
驱动器输出电压	OUTA 到 VSSA, OUTB 到 VSSB	-0.3	V _{DDA} + 0.3 V _{DDDB} + 0.3	V
	OUTA 到 VSSA, OUTB 到 VSSB, 200ns 瞬态 ²	-2	V _{DDA} + 0.3 V _{DDDB} + 0.3	
输入信号电压	DT 到 GNDI	-0.3	V _{CCI} + 0.3	V
	INA, INB, DIS 到 GNDI	-0.3	6	
	INA, INB, DIS, 50ns 瞬态 ²	-5	V _{CCI} + 0.3	
通道间压差	VSSA – VSSB, VSSB – VSSA		1500	V
结温	T _J ³	-40	150	°C
贮存温度	T _{stg}	-65	150	°C

备注:

1. 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。
2. 由 Bench 测试验证。
3. 请参考热量信息，确保结温处于正常工作范围。

6.2. ESD 额定值

符号	参数	数值	单位
V _{ESD} 静电放电	人体模型 (HBM), 根据 ANSI/ESDA/JEDEC JS-001, 所有引脚	±3000	V
	组件充电模式 (CDM), 根据 JEDEC 规范 JESD22-C101, 所有引脚	±2000	

6.3. 推荐工作条件

所有测试在自然通风条件下完成，除非另有说明。

符号	参数	最小值	最大值	单位	
VCCI	输入侧供电电压, VCCI – GNDI	3.0	5.5	V	
VDDA, VDDDB	驱动器侧供电电压, VDDA – VSSA, VDDDB – VSSB	CA-IS3221CAx (6V UVLO 版本)	7	30	V
		CA-IS3221CBx (8V UVLO 版本)	9	30	
V _{IN}	INA, INB, DIS, DT	0	V _{CCI}	V	
V _{INH}	INA, INB, DIS	输入电压逻辑高电平	2.3	V _{CCI}	V
V _{INL}		输入电压逻辑低电平	0	0.8	V
T _A	环境温度	-40	125	°C	
T _J	结温	-40	150	°C	

6.4. 热量信息

符号	热量表	封装类型		单位
		SOIC16-NB (N)	SOIC16-WB (W)	
$R_{\theta JA}$	结至环境的热阻	96.2	67.3	°C/W

6.5. 额定功率

符号	参数	测试条件	最小值	典型值	最大值	单位
P_D	总的最大耗散功率	$V_{CCI} = 5V, V_{DDA} = V_{DDB} = 15V, INA/INB = 3.3V,$ $1MHz、50\%占空比方波, C_L = 1nF, T_A = 25^\circ C$			1.05	W
P_{D1}	最大输入耗散功率				0.05	W
P_{D2}	最大输出耗散功率				0.5	W

6.6. 隔离特性

参数	测试条件	数值		单位
		N	W/K	
CLR 外部气隙 (间隙) ¹	测量输入端至输出端, 隔空最短距离	> 4	> 8.2	mm
CPG 外部爬电距离 ¹	测量输入端至输出端, 沿壳体最短距离	> 4	> 8.2	mm
DTI 隔离距离	最小内部间隙 (内部距离)	> 24	> 24	μm
CTI 相对漏电指数	DIN EN 60112 (VDE 0303-11); IEC 60112	> 600	> 600	V
材料组	依据 IEC 60664-1	I	I	
IEC 60664-1 过压类别	额定市电电压 ≤ 150V _{RMS}	I-IV	I-IV	
	额定市电电压 ≤ 300V _{RMS}	I-III	I-IV	
	额定市电电压 ≤ 600V _{RMS}	NA	I-IV	
	额定市电电压 ≤ 1000V _{RMS}	NA	I-III	
DIN EN IEC 60747-17 (VDE 0884-17):2021-10²				
V _{IORM} 最大重复峰值隔离电压	交流电压(双极)	566	2121	V _{PK}
V _{IOWM} 最大工作隔离电压	交流电压; 时间相关的介质击穿 (TDDb) 测试	400	1500	V _{RMS}
	直流电压	560	2121	V _{DC}
V _{IOTM} 最大瞬态隔离电压	V _{TEST} = V _{IOTM} , t = 60s (认证); V _{TEST} = 1.2 × V _{IOTM} , t = 1s (100% 产品测试)	5300	8000	V _{PK}
V _{IMP} 最大脉冲电压	测试方法根据 IEC 62368-1, 1.2/50μs 波形	4000	8000	V _{PK}
V _{IOSM} 最大浪涌隔离电压 ³	测试方法根据 IEC 62368-1, 1.2/50μs 波形, V _{IOSM} ≥ 1.3 × V _{IMP} , 在油中测试 (认证)	5300	12800	V _{PK}
Q _{pd} 表征电荷 ⁴	方法 a, 输入/输出安全测试子类 2/3 后, V _{ini} = V _{IOTM} , t _{ini} = 60s; V _{pd(m)} = 1.2 × V _{IORM} , t _m = 10s	≤ 5	≤ 5	pC
	方法 a, 环境测试子类 1 后, V _{ini} = V _{IOTM} , t _{ini} = 60s; V _{pd(m)} = 1.3 × V _{IORM} , t _m = 10s (N) V _{pd(m)} = 1.6 × V _{IORM} , t _m = 10s (W)	≤ 5	≤ 5	
	方法 b1, 常规测试 (100% 生产测试) 和前期预处理 V _{ini} = 1.2 × V _{IOTM} , t _{ini} = 1s; V _{pd(m)} = 1.5 × V _{IORM} , t _m = 1s (认证, N) V _{pd(m)} = 1.875 × V _{IORM} , t _m = 1s (认证, W)	≤ 5	≤ 5	
C _{IO} 栅电容, 输入到输出 ⁵	V _{IO} = 0.4 × sin(2πft), f = 1MHz	0.5	0.5	pF
R _{IO} 绝缘电阻 ⁵	V _{IO} = 500V, T _A = 25°C	> 10 ¹²	> 10 ¹²	Ω
	V _{IO} = 500V, 100°C ≤ T _A ≤ 125°C	> 10 ¹¹	> 10 ¹¹	
	V _{IO} = 500V at T _S = 150°C	> 10 ⁹	> 10 ⁹	
污染度		2	2	
UL 1577				
V _{ISO} 最大隔离电压	V _{TEST} = V _{ISO} , t = 60s (认证), V _{TEST} = 1.2 × V _{ISO} , t = 1s (100% 生产测试)	3750	5700	V _{RMS}
备注:				
1. 爬电距离和间隙要求应根据具体应用中特定设备的隔离标准。电路板设计应注意保持爬电和间隙距离, 确保隔离器在印刷电路板上的焊盘不会缩短此距离。印刷电路板上的爬电距离与间隙在某些情况下是相同的。通过在电路板上插入凹槽可以增大这些距离指标。				
2. 该标准仅适用于最大工作额定值范围内的安全电气隔离, 应通过适当的保护电路确保遵守安全等级要求。				
3. 测试在空气或油中进行, 以确定隔离层固有的浪涌抑制。				
4. 表征电荷是由局部放电引起的放电电荷 (pd)。				
5. 绝缘栅两侧的所有引脚连接在一起, 构成双端器件。				

6.7. 安全认证

VDE	UL	CQC	TUV
根据 DIN EN IEC 60747-17 (VDE 0884-17):2021-10; EN IEC 60747-17:2020+AC:2021 认证	根据 UL 1577 器件认可程序认证	根据 GB4943.1-2022 认证	根据 EN 61010-1 和 EN 62368-1 认证
加强绝缘 (SOIC16-WB) $V_{IORM}: 2121V_{PK}$ $V_{IOTM}: 8000V_{PK}$ $V_{IOSM}: 12800V_{PK}$ 基本绝缘 (SOIC16-NB) $V_{IORM}: 566V_{PK}$ $V_{IOTM}: 5300V_{PK}$ $V_{IOSM}: 5300V_{PK}$	单一绝缘保护 SOIC16-WB: $5700V_{RMS}$ SOIC16-NB: $3750V_{RMS}$	SOIC16-WB: 加强绝缘 SOIC16-NB: 基本绝缘 (仅适用于海拔 5000 米及以下)	EN 61010-1 SOIC16-WB: $5700V_{RMS}$ SOIC16-NB: $3750V_{RMS}$ EN 62368-1 SOIC16-WB: $5700V_{RMS}$ SOIC16-NB: $3750V_{RMS}$
证书编号: 40057278 (加强绝缘) 40052786 (基本绝缘)	证书编号: E511334	证书编号: SOIC16-WB: CQC23001406424 SOIC16-NB: CQC24001453029	客户参考编号: 2253313

6.8. 安全限值

符号	参数	测试条件	最小值	典型值	最大值	单位
SOIC16-NB (N)						
I_s	安全输出或电源电流	$R_{\theta JA} = 96.2^{\circ}C/W$, $V_{DDA} = V_{DDB} = 15V$, $T_J = 150^{\circ}C$, $T_A = 25^{\circ}C$	驱动器 A, 驱动器 B		41	mA
		$R_{\theta JA} = 96.2^{\circ}C/W$, $V_{DDA} = V_{DDB} = 30V$, $T_J = 150^{\circ}C$, $T_A = 25^{\circ}C$	驱动器 A, 驱动器 B		20	
P_s	安全输入、输出或总功耗	$R_{\theta JA} = 96.2^{\circ}C/W$, $T_J = 150^{\circ}C$, $T_A = 25^{\circ}C$	输入侧		50	mW
			驱动器 A		625	
			驱动器 B		625	
			总功耗		1300	
T_s	最大安全工作温度				150	$^{\circ}C$
SOIC16-WB (W)						
I_s	安全输出或电源电流	$R_{\theta JA} = 67.3^{\circ}C/W$, $V_{DDA} = V_{DDB} = 15V$, $T_J = 150^{\circ}C$, $T_A = 25^{\circ}C$	驱动器 A, 驱动器 B		60	mA
		$R_{\theta JA} = 67.3^{\circ}C/W$, $V_{DDA} = V_{DDB} = 30V$, $T_J = 150^{\circ}C$, $T_A = 25^{\circ}C$	驱动器 A, 驱动器 B		30	
P_s	安全输入、输出或总功耗	$R_{\theta JA} = 67.3^{\circ}C/W$, $T_J = 150^{\circ}C$, $T_A = 25^{\circ}C$	输入侧		50	mW
			驱动器 A		903	
			驱动器 B		903	
			总功耗		1856	
T_s	最大安全工作温度				150	$^{\circ}C$

6.9. 电气特性

除非另有说明，所有最大值和最小值在推荐工作条件内测得，VCCI 与 GNDI 之间接 0.1μF 旁路电容，VDDA 与 VSSA、VDDB 与 VSSB 之间接 1μF 旁路电容。典型值测试条件：VCCI = 3.3V，VDDA = VDDB = 15V，TA = 25°C（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
电源电流						
IVCCI	VCCI 静态电流	VINA = 0V, VINB = 0V		1.0	1.5	mA
IVDDA, IVDDB	VDDA 和 VDDB 的静态电流	VINA = 0V, VINB = 0V		1.5	2.2	mA
IVCCI	VCCI 工作电流	f = 500kHz		2.2		mA
IVDDA, IVDDB	VDDA 和 VDDB 的工作电流	f = 500kHz, 每通道电流, COUT = 100pF		2.7		mA
VCCI 欠压锁定阈值						
VVCC_ON	UVLO 上升阈值	INA = INB = DT = VCCI, VCCI 上升	2.55	2.70	2.85	V
VVCC_OFF	UVLO 下降阈值	INA = INB = DT = VCCI, VCCI 下降	2.35	2.50	2.65	V
VVCC_HYS	UVLO 阈值迟滞			0.2		V
VDD 欠压锁定阈值 (6V UVLO 版本)						
VVDDA_ON VVDDB_ON	UVLO 上升阈值	INA = INB = DT = VCCI, VDDx 上升	5.4	6.0	6.6	V
VVDDA_OFF VVDDB_OFF	UVLO 下降阈值	INA = INB = DT = VCCI, VDDx 下降	4.9	5.5	6.1	V
VVDDA_HYS VVDDB_HYS	UVLO 阈值迟滞			0.5		V
VDD 欠压锁定阈值 (8V UVLO 版本)						
VVDDA_ON VVDDB_ON	UVLO 上升阈值	INA = INB = DT = VCCI, VDDx 上升	7.3	8.1	8.9	V
VVDDA_OFF VVDDB_OFF	UVLO 下降阈值	INA = INB = DT = VCCI, VDDx 下降	6.7	7.4	8.2	V
VVDDA_HYS VVDDB_HYS	UVLO 阈值迟滞			0.7		V
逻辑输入 (INA, INB 和 DIS)						
VIT+	输入逻辑阈值	VIN 上升	1.8	2.0	2.3	V
VIT-	输入逻辑阈值	VIN 下降	0.8	1.0	1.2	V
VIT_HYS	输入逻辑迟滞电压			1.0		V
VINA, VINB, VDIS	负瞬态值, 以 GNDI 为参考, 50ns 的脉冲		-5			V
RIND	输入引脚下拉电阻			100		kΩ
驱动输出						
IOHA, IOHB	峰值拉电流	CVDD = 10μF, CLOAD = 0.18μF, fPWM = 1kHz		4.7		A
IOLA, IOLB	峰值灌电流			6		A
ROHA, ROHB	输出上拉电阻	IOUT = -10mA		1.1		Ω
ROLA, ROLB	输出下拉电阻	IOUT = 10mA		0.55		Ω
VOHA, VOHB	输出高电平	IOUT = -10mA, 分别相对于 VDDA 和 VDDB		-11		mV
VOLA, VOLB	输出低电平	IOUT = 10mA		5.5		mV

电气特性（接上页）

除非另有说明，所有最大值和最小值在推荐工作条件内测得，VCCI 与 GNDI 之间接 0.1μF 旁路电容，VDDA 与 VSSA、VDDB 与 VSSB 之间接 1μF 旁路电容。典型值测试条件：VCCI = 3.3V，VDDA = VDDB = 15V，TA = 25°C（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
死区时间和交叠时间						
t _{DT}	死区时间	DT 引脚短接至 VCCI	交叠时间由 INA 和 INB 决定			ns
		R _{DT} = 10kΩ	80	100	140	
		R _{DT} = 20kΩ	160	200	240	
		R _{DT} = 50kΩ	380	500	600	

6.10. 开关特性

除非另有说明，所有最大值和最小值在推荐工作条件内测得，VCCI 与 GNDI 之间接 0.1μF 旁路电容，VDDA 与 VSSA、VDDB 与 VSSB 之间接 1μF 旁路电容。典型值测试条件：VCCI = 3.3V，VDDA = VDDB = 15V，TA = 25°C（除非另有说明）。

参数		测试条件	最小值	典型值	最大值	单位
t _r	输出信号上升时间	C _{OUT} = 1.8nF, 见图 7-2		12	24	ns
t _f	输出信号下降时间		8	18	ns	
t _{PWmin}	最小脉冲宽度	当输入脉冲宽度小于最小值，输出被屏蔽，输出无负载		30	40	ns
t _{PDLH}	传输延迟，低到高	f _{PWM} = 100kHz, 见图 7-1		75	100	ns
t _{PDHL}	传输延迟，高到低		75	100	ns	
t _{PWD}	脉冲宽度失真	t _{PWD} = t _{PDHL} - t _{PDLH} , 见图 7-1	0		9	ns
t _{DM}	两路输出之间的传输延迟匹配	t _{DM} = t _{PDHLA} - t _{PDHLB} 或者 t _{PDLHA} - t _{PDLHB} f _{PWM} = 100kHz, 见图 7-1	0		7	ns
t _{PD_DIS_HL}	DIS 响应延迟，高到低，使能器件	DIS 输入脉宽>200ns, 见图 7-3		80	120	ns
t _{PD_DIS_LH}	DIS 响应延迟，低到高，禁用器件		80	120	ns	
t _{VCCI+ to OUT}	V _{CCI} 上电延迟：UVLO 上升至 OUTA 和 OUTB 输出	INA 或 INB 短接 VCCI, 见图 7-5		16	30	μs
t _{VDD+ to OUT}	VDDA、VDDB 上电延迟：UVLO 上升至 OUTA、OUTB		14	30	μs	
CMTI _H	高电平共模瞬态抗扰度 ¹	V _{CM} = 1200V, 见图 7-6	100	150		kV/μs
CMTI _L	低电平共模瞬态抗扰度 ¹		100	150		kV/μs

备注:

1. 由设计和 Bench 测试保证。

6.11. 典型特性

$V_{CCI} = 3.3V$ 或 $5V$, $V_{DDA} = V_{ddb} = 15V$, $T_A = 25^\circ C$, 除非另有说明。(TBD)

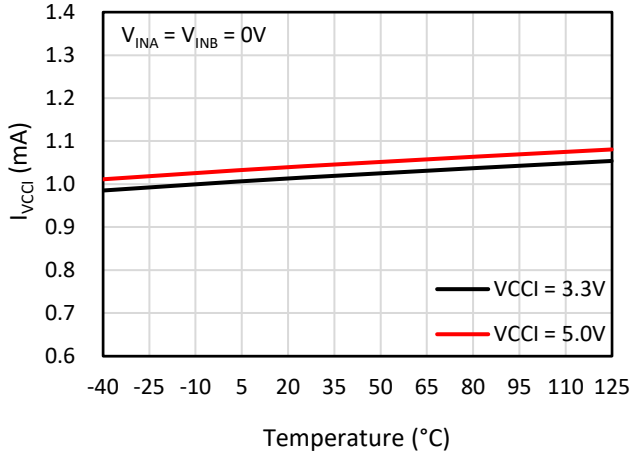


图 6-1 VCCI 静态电流 vs.温度

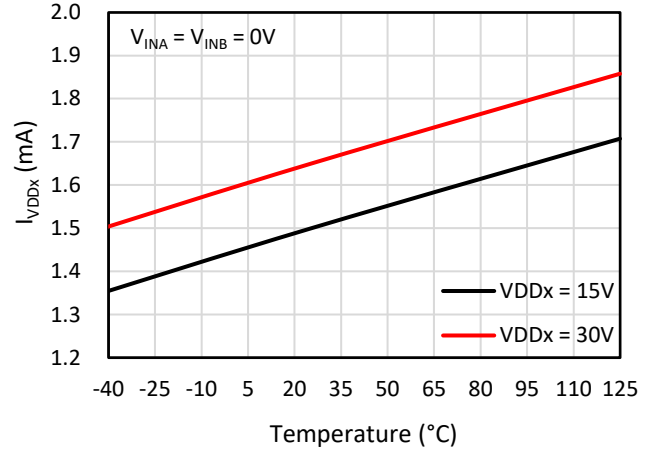


图 6-2 VDDx 静态电流 vs.温度

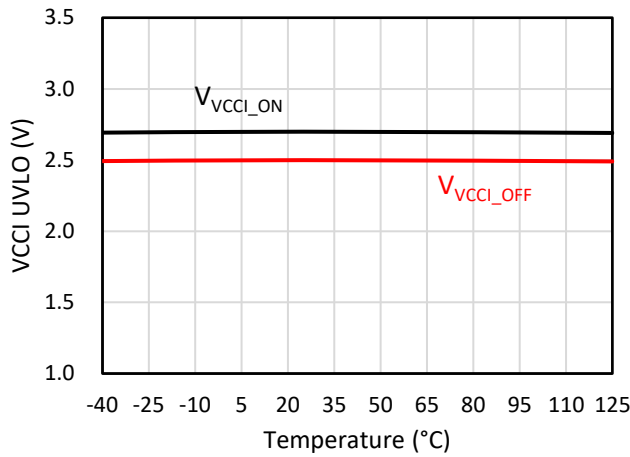


图 6-3 VCCI UVLO vs.温度

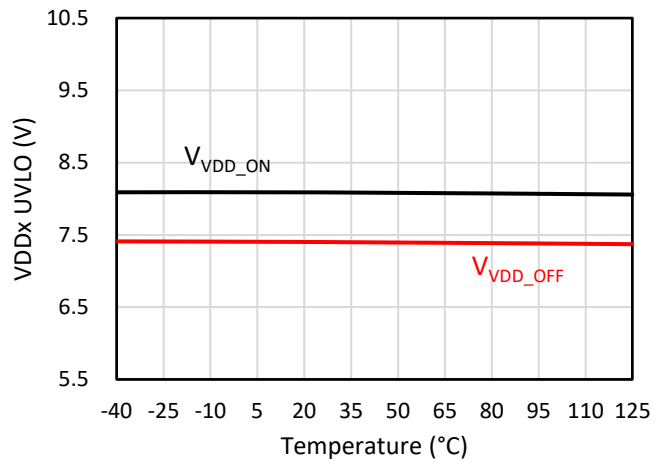


图 6-4 VDDx UVLO vs.温度 (B Version)

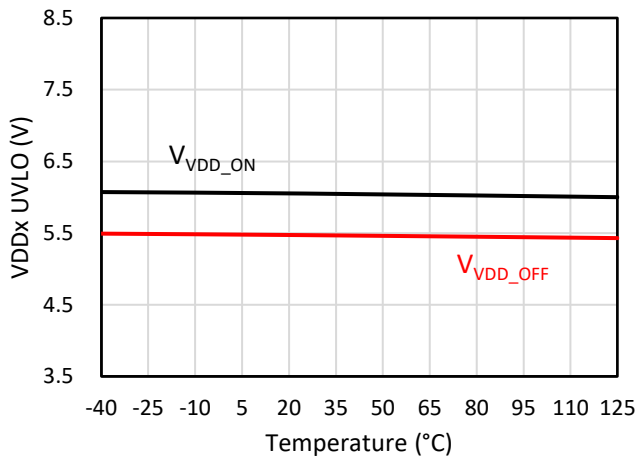


图 6-5 VDDx UVLO vs.温度 (A Version)

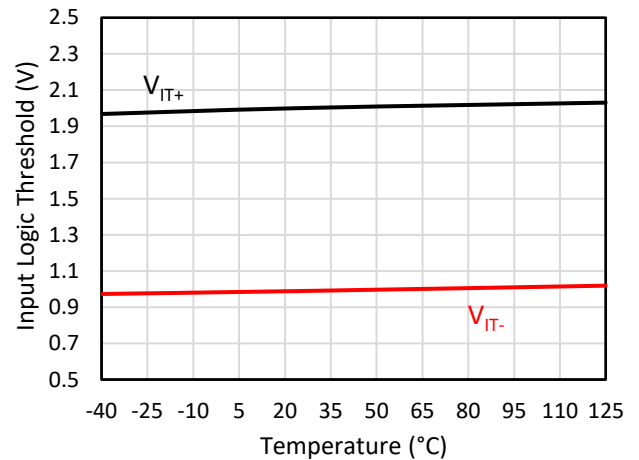


图 6-6 输入逻辑阈值 vs.温度

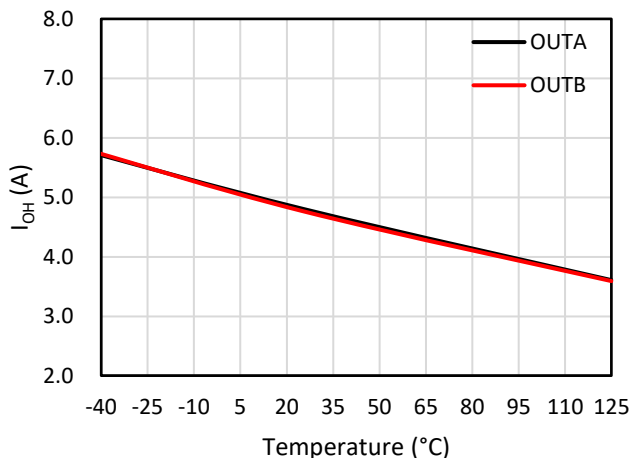


图 6-7 峰值拉电流 vs.温度

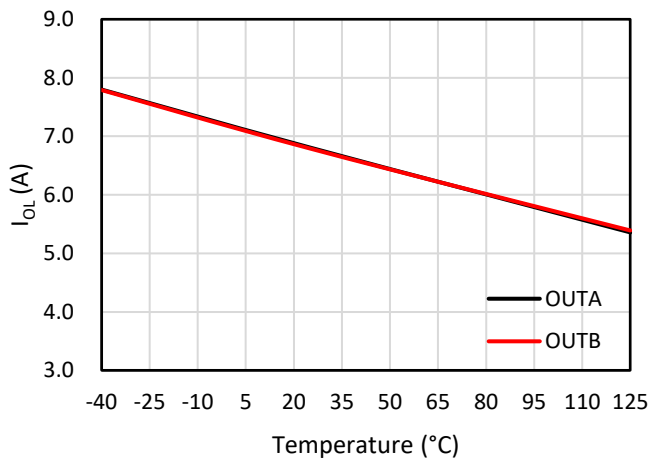


图 6-8 峰值灌电流 vs.温度

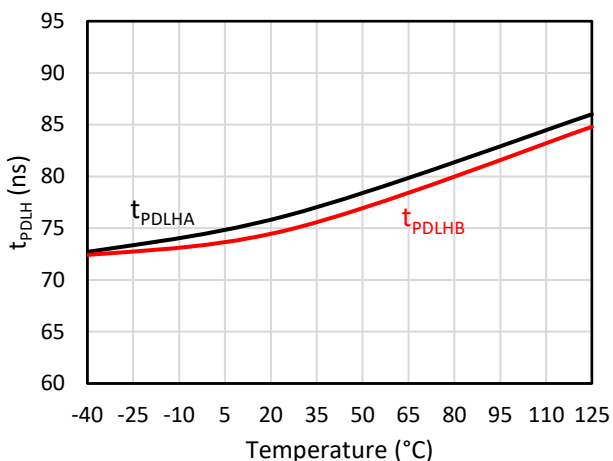


图 6-9 传输延迟 (从低到高) vs.温度

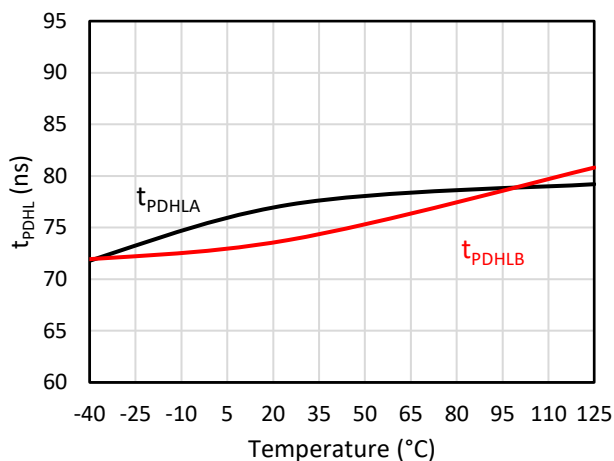


图 6-10 传输延迟 (从高到低) vs.温度

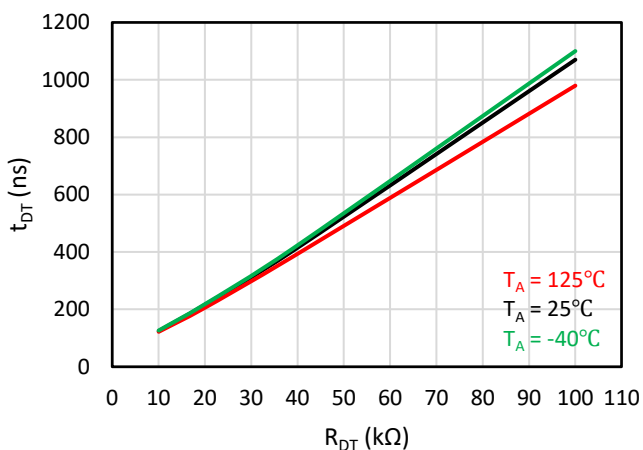


图 6-11 死区时间 vs.电阻

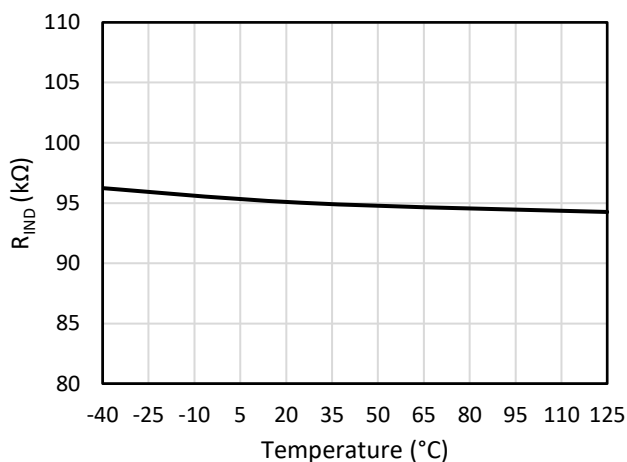


图 6-12 输入引脚下拉电阻 vs.温度

7. 参数测量

7.1. 传输延迟与脉冲宽度失真

图7-1所示给出了脉宽失真 (t_{PWD}) 和两通道 (A/B) 间传输延迟匹配度 (t_{DM}) 的定义和测量。测量期间, 确保两路输入信号同步, 并关闭死区时间调节功能 (DT引脚接VCCI)。

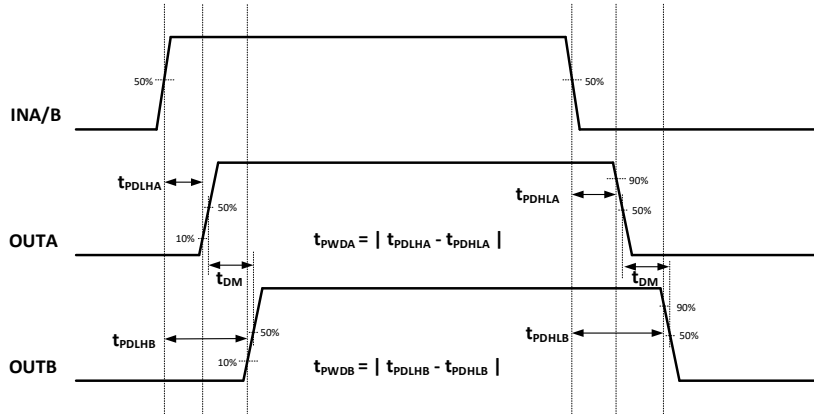


图 7-1 传输延迟与脉宽失真测试波形 (关闭交叠输入与死区时间设置)

7.2. 上升时间与下降时间

图 7-2 所示给出了上升时间 (t_r) 和下降时间 (t_f) 的定义。

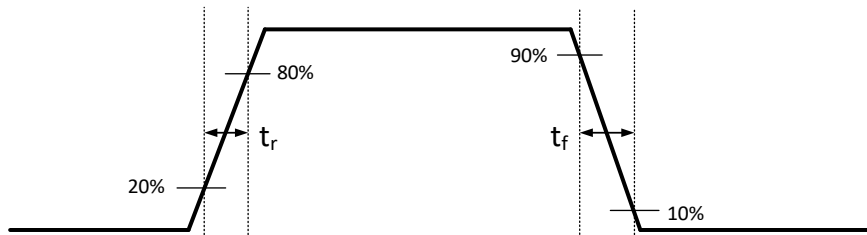


图 7-2 上升时间与下降时间测试波形

7.3. 输入禁止控制响应时间

图 7-3 为禁止控制响应时序。如果栅极驱动器距离微控制器较远, 建议在 DIS 引脚与 GNDI 之间增加 1nF 低 ESR、低 ESL 的滤波电容。

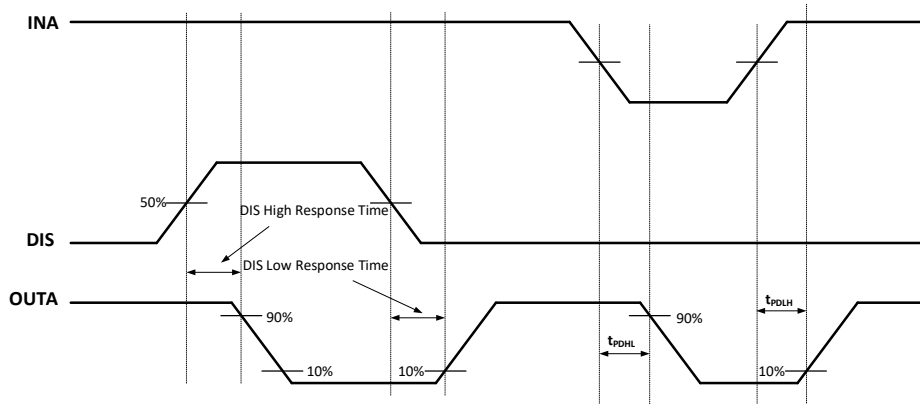


图 7-3 禁止控制时序图

7.4. 可编程死区时间

图 7-4 显示了死区时间的测量，通过适当的电阻 (R_{DT}) 将 DT 引脚连接至 GNDI 可设置死区时间间隔，详细信息请参考后续章节：可编程死区时间。

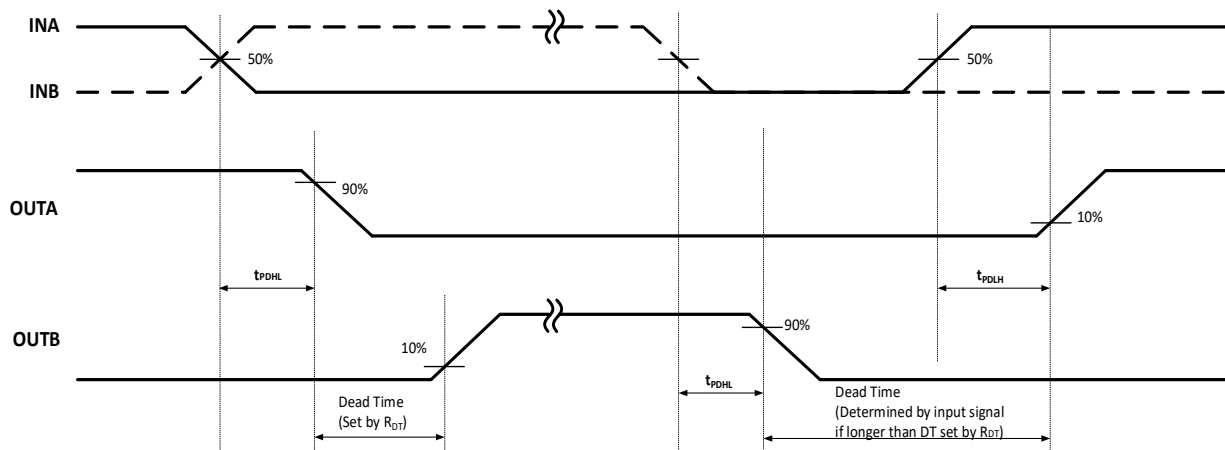


图 7-4 死区时间设置参数

7.5. UVLO 上电延迟

当电源电压从欠压锁存 (UVLO) 状态开始上升时，从电源上升到器件进入正常工作模式并正确提供驱动器输出之间存在一个延迟，称其为上电延迟。针对输入侧、输出侧供电电源，延迟时间分别定义为 $t_{V_{CCI+} \text{ to } OUT}$ (V_{CCI} UVLO 上电延迟) 和 $t_{V_{DD+} \text{ to } OUT}$ (V_{DD_UVLO} 上电延迟)，如图 7-5 所示。 V_{CCI} 和 V_{DD} 电源上电就绪，将 PWM 信号作用到驱动器输入 INA、INB 时，设计人员需要考虑留出一定裕量。当 V_{CCI} 和 V_{DD} 电源上升到相应的 UVLO 门限时，在 $t_{V_{CCI+} \text{ to } OUT}$ 或 $t_{V_{DD+} \text{ to } OUT}$ 延迟时间内，驱动器 A 和驱动器 B 不会响应任何输入信号的变化，只是将驱动器输出保持在低电平状态。

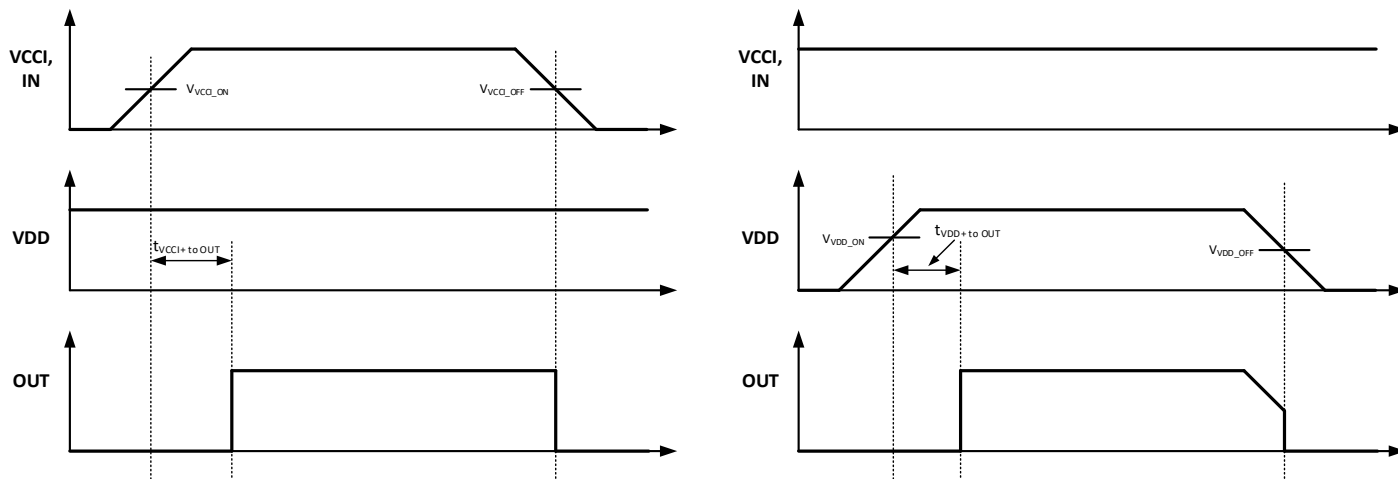


图 7-5 V_{CCI}/V_{DD_UVLO} 上电延迟

7.6. CMTI 测试电路

所示为 CA-IS3221C 的 CMTI 测试电路。

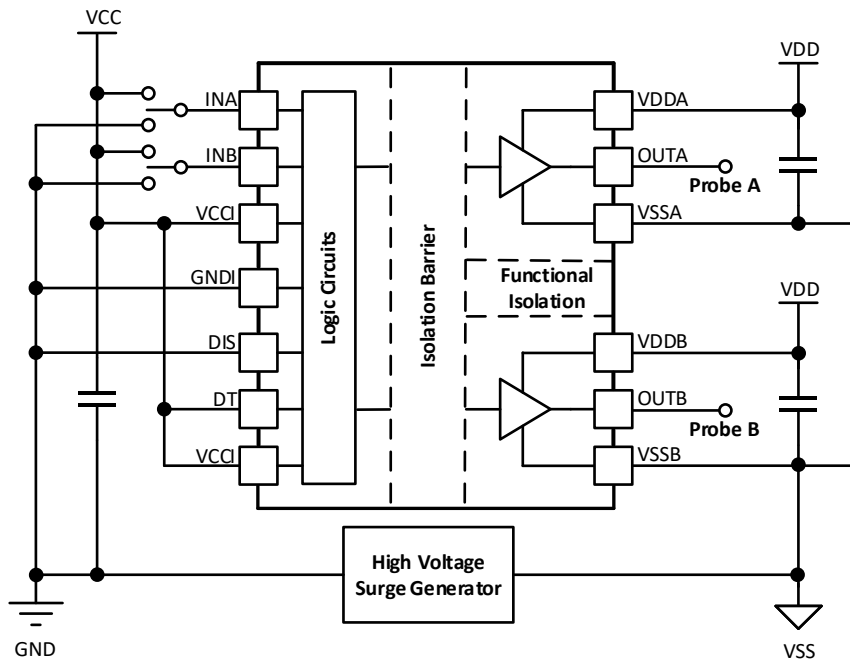


图 7-6 共模瞬态抑制 (CMTI) 测试电路

8. 详细说明

8.1. 工作原理

CA-IS3221C 系列双通道隔离栅极驱动器可支持 4.7A 拉电流和 6A 灌电流。可编程死区时间及内部逻辑电路避免输出级控制信号变化期间出现直通现象。器件提供两路同相输入驱动，输入侧供电电压 (V_{CCI}) 为 +3V 至 +5.5V，输出侧供电电压可达 +30V。另外，输入侧还提供高电平有效禁止控制以优化驱动器工作。当输入端悬空或者输入脉冲宽度过窄（脉宽小于 40ns）时，CA-IS3221C 输出保持在低电平；当输入侧或输出侧处于欠压状态时，驱动器输出保持在低电平。

图 8-1 所示为 CA-IS3221C 双通道隔离栅极驱动器的内部框图，包括输入级、输出级、死区控制、VCCI 和 VDD_UVLO 检测以及隔离通道等。以下章节将详细介绍各部分电路的工作原理。

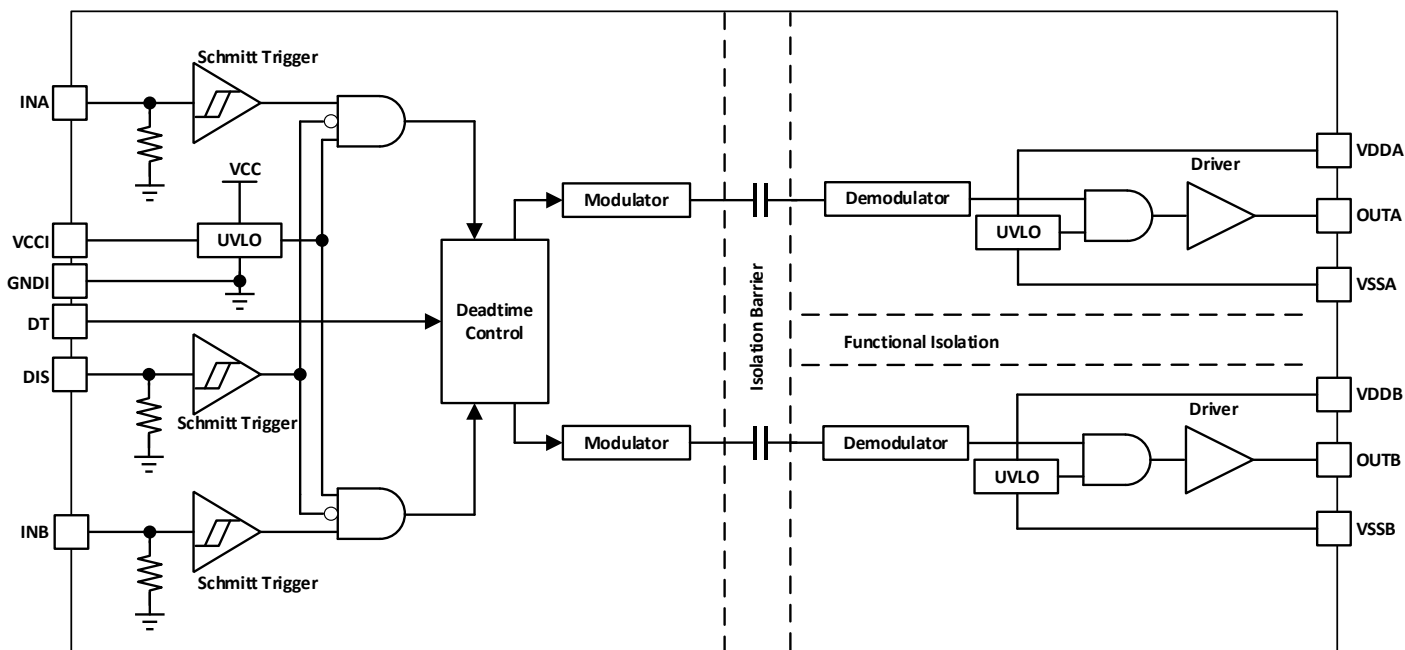


图 8-1 功能框图

8.2. 输入级

8.2.1. TTL 逻辑电平

CA-IS3221C 输入信号 (INA、INB 和 DIS) 满足 TTL 逻辑电平阈值，且不受 VDD_ 电源电压的制约。由于 CA-IS3221C 系列的高电平阈值典型值为 2V，低电平阈值典型值为 1V，同时阈值随温度变化很小，可以轻松连接低压供电的微控制器。1V 的宽范围迟滞确保良好的噪声抑制和器件的稳定运行。器件提供两路输入：INA 和 INB，可抑制输入信号的瞬态扰动或噪声干扰，即当输入脉冲宽度小于 40ns 时，驱动器输出保持之前的电平，以避免误操作。若任一输入引脚保持开路状态时，电路内部的下拉电阻将该引脚强制拉低。但是，对于不使用的信号输入引脚，我们强烈推荐将该引脚连接至 GNDI。

8.2.2. 禁止控制

CA-IS3221 具有驱动器禁止控制 (DIS)，将 DIS 引脚置为高电平时，驱动器输出低电平；当 DIS 引脚接低电平或开路时，驱动器正常工作。

禁止控制具有快速响应，响应时间小于 120ns。只有当 VCCI 电压保持在 UVLO 阈值之上时，禁止控制才起作用。如果不使用 DIS 控制引脚，建议将 DIS 引脚接地以获得更好的抗噪能力。另外，当 DIS 引脚距离微控制器较远时，建议在

靠近 DIS 引脚处放置一个约 1nF 的低 ESR 和低 ESL 滤波电容。器件内部为 DIS 和 INA/INB 输入引脚提供弱下拉至 GNDI，参见表 8-1 关于 CA-IS3221C 的输入与输出真值表。

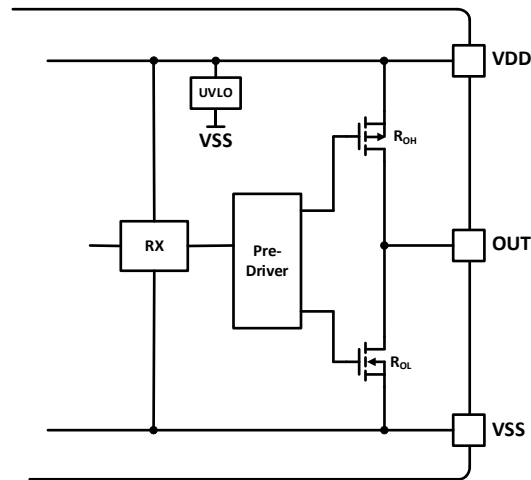
表 8-1 CA-IS3221C 输入与输出真值表¹

输入			输出		说明
INA	INB	禁止 (DIS) ²	OUTA	OUTB	
L	L	L 或开路	L	L	如果启用死区时间设置功能，驱动器输出的跳变时间取决于死区时间，外接电阻 R_{DT} 设置死区时间，具体可参考可编程死区时间部分。
L	H	L 或开路	L	H	
H	L	L 或开路	H	L	
H	H	L 或开路	L	L	
H	H	L 或开路	H	H	DT 引脚上拉至 VCCI。
开路	开路	L 或开路	L	L	
X	X	H	L	L	

备注:

- X = 无关；H = 高电平；L = 低电平。
- DIS 引脚内部弱下拉至 GNDI。

8.3. 驱动器输出级


图 8-2 驱动器输出级

CA-IS3221C 提供两路独立输出。内部电路在输出侧提供驱动器 A 与驱动器 B 之间的功能隔离，可承受最高 1500V_{DC} 工作电压。驱动器输出级集成了上拉和下拉电路，提供较高的灌电流和拉电流驱动，以满足大功率晶体管的驱动要求。

图 8-2 所示为驱动器输出级电路，输出极上拉网络采用了单个 P 沟道 MOSFET 的结构，下拉网络采用了单个 N 沟道 MOSFET 的结构。由于 MOS 输出级可以提供很小的压降，因此输出电压可以实现 VDD_和 VSS_之间的轨到轨工作。

8.4. 欠压锁存 (UVLO)

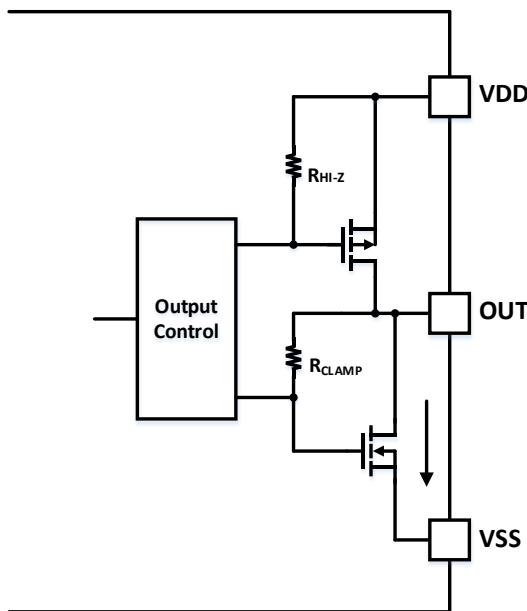


图 8-3 有源下拉

CA-IS3221C 内部对输入侧电源电压 (V_{CCI}) 和输出侧电源 (V_{DD}) 均进行欠压监测。一旦检测到欠压故障, 器件将驱动器输出置于低电平状态 (默认状态), 此时该操作与 INA 和 INB 输入状态无关。低电平输出关断外部晶体管, 以避免欠压驱动外部功率器件。

在输入侧, 器件上电过程中, 在 V_{CCI} 电压超过 V_{VCCI_ON} 之前, 器件处于禁止状态; 器件上电后, V_{CCI} 低于 V_{VCCI_OFF} 时, 内部隔离通道停止传输输入信号。

当输出侧供电电源 (V_{DDA} 或 V_{DDB}) 处于欠压状态时, 即上电时 $V_{DD} < V_{VDD_ON}$, 掉电或正常工作时出现电压跌落 $V_{DD} < V_{VDD_OFF}$, 无论输入 INA/INB 为何种状态, 相应的驱动器将输出置于低电平。如图 8-3 所示, 在断电或欠压状态下, 高边 P 沟道 MOSFET 在 R_{HI-Z} 上拉作用下保持关断, 而低边 N 沟道 MOSFET 的栅极通过 R_{CLAMP} 连接在驱动器输出端, 这一有源钳位电路将驱动器输出电压有效地钳位在 2V 以下。CA-IS3221C 提供 6V 和 8V 两种欠压门限选择, 此外, V_{CCI} UVLO 和 V_{DD} UVLO 欠压保护电路均带有迟滞, 可避免电源地存在噪声时发生啁啾现象, 同时也允许器件接受电源电压出现小幅跌落时确保系统稳定工作。表 8-2 和表 8-3 列出了 V_{CCI} 、 V_{DD} 发生欠压故障时对应的驱动器输出。

欠压故障解除后, 当电源电压升高至 UVLO 门限以上时, CA-IS3221C 驱动器需要经过上电延迟时间 ($t_{VCCI+ \text{ to } OUT}$ 或 $t_{VDD+ \text{ to } OUT}$) 后才会进入正常工作模式, 控制器应该在上电延迟结束后再尝试向栅极驱动器发送 PWM 控制信号。

表 8-2 CA-IS3221C 输出 (V_{CCI} 发生欠压)

V_{CCI} 条件	输入		输出	
	INA	INB	OUTA	OUTB
器件上电期间, $V_{CCI} - GNDI < V_{VCCI_ON}$	H	L	L	L
	L	H	L	L
	H	H	L	L
	L	L	L	L
器件上电后, $V_{CCI} - GNDI < V_{VCCI_OFF}$	H	L	L	L
	L	H	L	L
	H	H	L	L
	L	L	L	L

表 8-3 CA-IS3221C 输出 (V_{DD} 发生欠压)

V_{DD} 条件	输入		输出	
	INA	INB	OUTA	OUTB
器件上电期间, $V_{DD_} - V_{SS_} < V_{VDD_ON}$	H	L	L	L
	L	H	L	L
	H	H	L	L
	L	L	L	L
器件上电后, $V_{DD_} - V_{SS_} < V_{VDD_OFF}$	H	L	L	L
	L	H	L	L
	H	H	L	L
	L	L	L	L

8.5. 数字隔离

CA-IS3221C 内部的数字隔离通道采用全差分电容隔离技术, 利用开关键控 (OOK) 调制器实现两个不同电源域之间的数字信号传输。驱动器输入侧与输出侧采用二氧化硅 (SiO_2) 绝缘层隔离, 提供最高 $5700V_{RMS}$ (SOIC16-WB) 隔离耐压, 并可承受 $1500V_{RMS}$ 长期工作电压和 $12.8kV_{PK}$ 浪涌。其中, 隔离驱动器对于一个逻辑输入状态 (逻辑“1”) 向输出侧发送高频载波; 而对于另一逻辑状态 (逻辑“0”), 则不向输出侧传送任何信号。输出侧的隔离接收器将跨越绝缘栅的高频载波信号转换成逻辑“1”; 而没有高频信号时, 则产生逻辑“0”输出。由此, 在隔离侧解调并复原接收信号。由于采用了差分技术, CA-IS3221C 可有效抑制共模噪声, 提供优异的 CMTI 性能 (最小 $100kV/\mu s$), 并将高频载波和输入、输出侧开关操作所产生的辐射降至最低。

8.6. ESD 保护电路

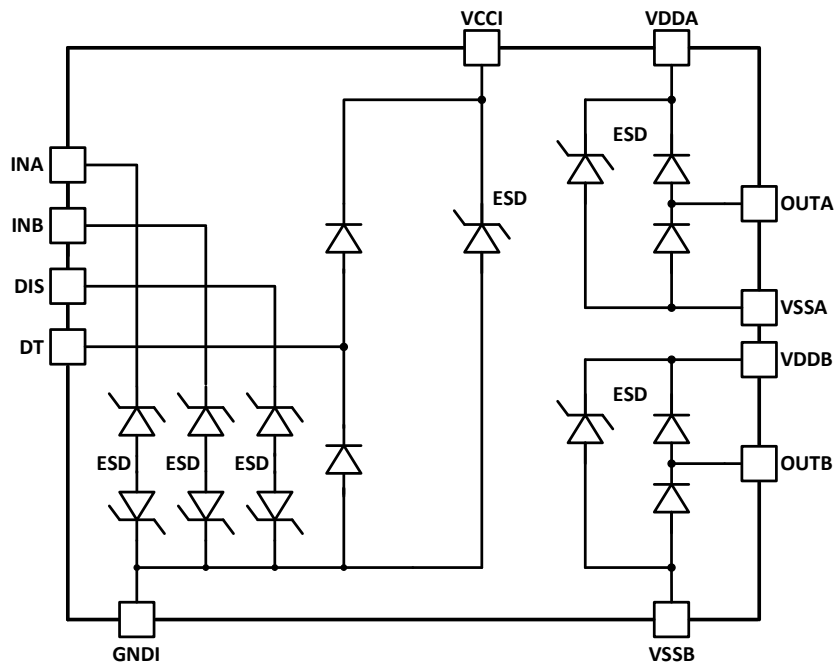


图 8-4 ESD 保护电路

图 8-4 所示为 CA-IS3221C 内部输入侧和输出侧的增强 ESD 保护架构, 其中, V_{CCI} 引脚和 V_{DDA}/V_{DDB} 引脚分别提供高达 6V 和 32V 的故障保护, 故障保护不受 V_{CCI} 和 V_{DD} 供电电压限制。

8.7. 可编程死区时间

CA-IS3221C 隔离栅极驱动器集成了可编程死区时间电路，以避免高边、低边功率晶体管同时导通而损坏器件。在 CA-IS3221C 的 DT 引脚与 GNDI 引脚之间连接电阻 R_{DT} ，用于调节死区时间。死区时间作用于 OUTA、OUTB 输出的上升沿或下降沿，死区时间计算公式如下：

$$t_{DT} \approx 10 \times R_{DT} \quad (\text{式 1})$$

其中 R_{DT} 单位为 $k\Omega$ ， t_{DT} 单位为 ns 。DT 引脚的静态电压约为 $0.8V$ 。如果 $R_{DT} = 100k\Omega$ ，DT 引脚的电流小于 $10\mu A$ 。如果 $R_{DT} > 5k\Omega$ ，建议在靠近 R_{DT} 的位置并联一个至少 $2.2nF$ 的陶瓷电容，以获得更好的抗噪性，并确保两通道之间死区时间的更好匹配。也可以将 DT 引脚接 V_{CC1} ，允许输出交叠，与输入信号保持完全一致。另外，DT 引脚不能悬空。

输入信号的下降沿触发可编程死区时间。若两个输入信号 INA/INB 同时为高电平，两路输出 OUTA/OUTB 立刻被拉至低电平，防止外部晶体管直通，同时也不会影响正常工作中的死区时间设置。图 8-5 给出了在不同工作条件下驱动器死区时间管理与输出的逻辑关系。

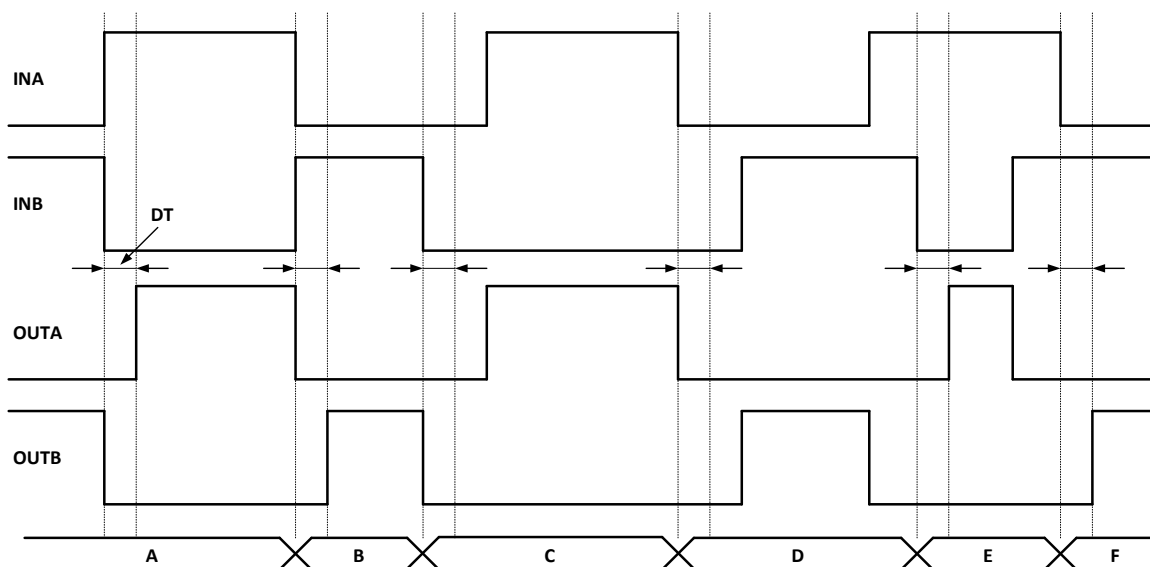


图 8-5 采用可编程死区时间条件下，输出与输入信号时序关系

在图 8-5 中，不同输入条件下可编程死区时间的控制时序如下：

A: 输入信号 INB 拉低，同时 INA 拉高时：INB 的下降沿触发可编程死区时间功能，且 t_{DT} 作用于 OUTA。器件立刻将输出信号 OUTB 置于低电平，输出信号 OUTA 经过所设置的死区时间 t_{DT} 后变为高电平。

B: 输入信号 INA 拉低，同时 INB 拉高时：INA 的下降沿触发可编程死区时间功能，且 t_{DT} 作用于 OUTB。器件立刻将输出信号 OUTA 置于低电平，输出信号 OUTB 经过所设置的死区时间 t_{DT} 后变为高电平。

C: 输入信号 INB 拉低，INA 仍保持低电平：器件立刻将输出信号 OUTB 置于低电平；INB 的下降沿触发可编程死区时间功能，且 t_{DT} 作用于 OUTA。输出信号 OUTA 经过所设置的死区时间 t_{DT} 后允许变为高电平。这种情况下，由于 INA 在 t_{DT} 后仍然保持在低电平，这意味着 INA 输入本身的死区时间大于 t_{DT} ，因此，当 INA 拉高时，OUTA 立即输出高电平。

D: 输入信号 INA 拉低，INB 仍保持低电平：器件立刻将输出信号 OUTA 置于低电平；INA 的下降沿触发可编程死区时间功能，且 t_{DT} 作用于 OUTB。输出信号 OUTB 经过所设置的死区时间 t_{DT} 后允许变为高电平。这种情况下，由于 INB 在 t_{DT} 后仍然保持在低电平，这意味着 INB 输入本身的死区时间大于 t_{DT} ，因此，当 INB 拉高时，OUTB 立即输出高电平。

上海川土微电子股份有限公司

E: 输入信号 INA 拉高，而 INB 和 OUTB 仍保持高电平：器件立刻将输出信号 OUTB 置于低电平，且 OUTA 继续保持低电平，以避免直通；OUTB 拉低后，经过一个延迟触发可编程死区时间功能，且 t_{DT} 作用于 OUTA。由于 OUTB 已经置低，输出信号 OUTA 经过所设置的死区时间 t_{DT} 后变为高电平。

F: 输入信号 INB 拉高，而 INA 和 OUTA 仍保持高电平：器件立刻将输出信号 OUTA 置于低电平，且 OUTB 继续保持低电平，以避免直通；OUTA 拉低后，经过一个延迟触发可编程死区时间功能，且 t_{DT} 作用于 OUTB。由于 OUTA 已经置低，输出信号 OUTB 经过所设置的死区时间 t_{DT} 后变为高电平。

9. 应用信息

9.1. 典型应用

CA-IS3221C隔离型栅极驱动器经过优化设计，用于驱动MOSFET、IGBT和SiC等功率晶体管，以降低系统成本、改善工作效率。该系列产品可以配置为双通道低边、双通道高边驱动器和半桥驱动器。CA-IS3221C的DIS引脚能够快速地将驱动器A和驱动器B的输出置于低电平。默认低电平输出确保输入侧与输出电源电压处于UVLO状态时，系统保持安全可靠。另外，该系列栅极驱动器较高的CMTI（最小值为100kV/μs）、较高的隔离耐压、可编程死区时间、UVLO检测以及通道间传输延迟的超低偏差（7ns，最大值），使得CA-IS3221C成为大功率晶体管驱动的理想选择，为工业、汽车应用提供高可靠性解决方案。图9-1为CA-IS3221C的典型应用电路，图中CA-IS3221配置为半桥驱动，适用于同步整流buck、同步整流Boost转换器、半桥/全桥隔离式拓扑，以及三相电机驱动等应用。

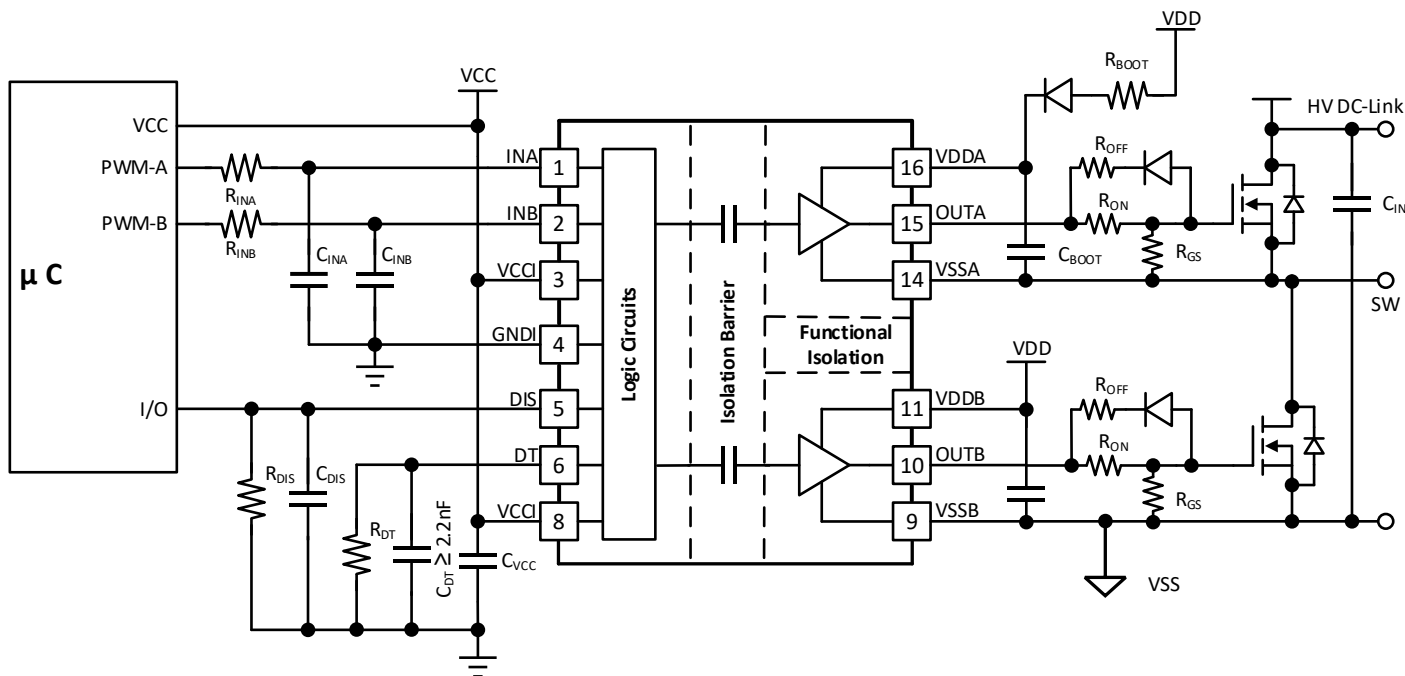


图 9-1 CA-IS3221C 典型应用电路

9.2. 供电电源选择

CA-IS3221C 可以接受较宽的供电电压范围： V_{CCI} 供电范围为 3V 至 5.5V； V_{DD} 供电范围为 V_{VDD_ON} 至 30V。它们没有特殊的上电顺序要求，但适当的电源去耦、布线非常关键。为减小电源纹波，在输入侧，推荐 V_{CCI} 引脚至 $GNDI$ 引脚之间并联 1μF/25V 和 100nF/25V 的低 ESR 和低 ESL 陶瓷电容，旁路电容应紧靠 V_{CCI} 引脚放置。在输出侧，推荐 V_{DD} 引脚至 V_{SS} 引脚之间并联 10μF/50V 和 100nF/50V 的低 ESR 陶瓷电容，旁路电容应紧靠 V_{DD} 引脚放置。

9.3. 输入滤波器选择

当 MCU 输入信号 PCB 走线较长或非理想布局时，建议在信号 INA 和 INB 引脚处增加 R_{IN} - C_{IN} 低通滤波器，滤除来自输入信号的干扰。一般该滤波器使用 0 至 100Ω 范围内的 R_{IN} 与 10 pF 至 100 pF 范围的 C_{IN} 组合。在选择这些组件时，需要注意良好的抗噪性与传播延迟之间的权衡。例如，选择 $R_{IN} = 51\Omega$ 和 $C_{IN} = 33\text{pF}$ ，截止频率约为 95MHz。

9.4. 栅极驱动电阻选择

外部栅极驱动电阻对功率管设计尤为关键，当功率管开关时，寄生电感、寄生电容、高 dv/dt 和 di/dt 以及二极管反向恢复时间都可能导致功率管的不良行为或 EMI 问题。栅极驱动电阻主要对以下三个方面产生影响：驱动电流、开关损耗、上升和下降时间。因此，设计者在实际选取驱动电阻时，需要平衡方案的综合性能参数。

I_{OH} 峰值电流估算公式：

$$I_{OH} = \min \left[4.7A, \frac{V_{DD} - V_{EE}}{(R_{OH} + R_{GON} + R_{GFET_{int}})} \right]$$

其中,

- R_{GON} 是外部栅极导通电阻
- $R_{GFET_{int}}$ 是功率管内部栅极电阻 (需查找功率管数据表)

I_{OL} 峰值电流估算公式:

$$I_{OL} = \min \left[6A, \frac{V_{DD} - V_{EE}}{(R_{OL} + R_{GOFF} + R_{GFET_{int}})} \right]$$

其中,

- R_{GOFF} 是外部栅极关断电阻
- $R_{GFET_{int}}$ 是功率管内部栅极电阻 (需查找功率管数据表)

9.5. PCB 布局指南

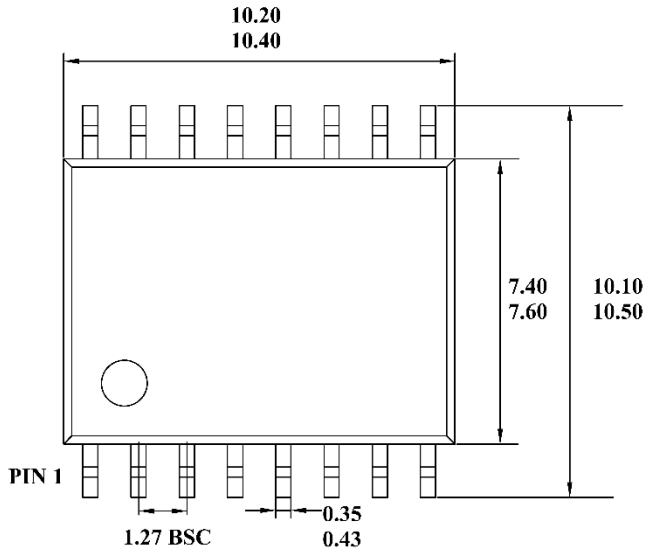
为了达到 CA-IS3221C 的最优性能, PCB 布局时需要遵循以下原则:

- 为了保证电源为稳定性和低噪声, 低 ESR 和低 ESL 电容器必须靠近器件连接在 VCCI 和 GNDI 引脚之间以及 VDD 和 VSS 引脚之间, 以便在接通外部电源时支持高峰值电流。
- 为避免开关节点 VSSA (HS) 引脚上出现较大的负瞬变, 需最小化上管的源极和下管的源极的走线, 以减小寄生电感效应。
- 当 MCU 与驱动芯片距离较远时, 推荐尽可能靠近 DIS 引脚处放置旁路电容, 以减小噪声干扰。
- 为确保初级侧和次级侧之间的隔离性能, 应避免在芯片下方放置任何 PCB 走线、覆铜、焊盘和过孔。建议使用 PCB 切口以防止降低器件的隔离性能。
- 在半桥或高边/低边配置中, 通道 A 和通道 B 驱动器可以在高达 1500V_{DC} 的直流母线电压下工作, 应尝试增加 PCB 的爬电距离, 即高压侧和低压侧 PCB 走线之间的布局。
- 当器件驱动功率管时, OUT 存在非常高的 di/dt, OUT 环路 PCB 走线寄生电感会导致 EMI 和电压振荡问题, 故在设计 PCB 时, 器件应尽可能靠近功率管位置, OUT 走线尽可能宽, 环路走线尽可能短, 以降低环路寄生电感。
- 当负载较重或开关频率较高时, 器件的损耗也会增加, 可以通过适当 PCB 布局将热量传导到 PCB 板上, 以达到减小器件温度的目的。建议适当地增加连接到 VDD 和 VSS 引脚的 PCB 覆铜, 并优先最大程度地增加到 VSS 的连接。
- 如果系统有多层板设计, 建议在 VDD 和 VSS 层放置大量过孔连接, 以减小寄生参数。

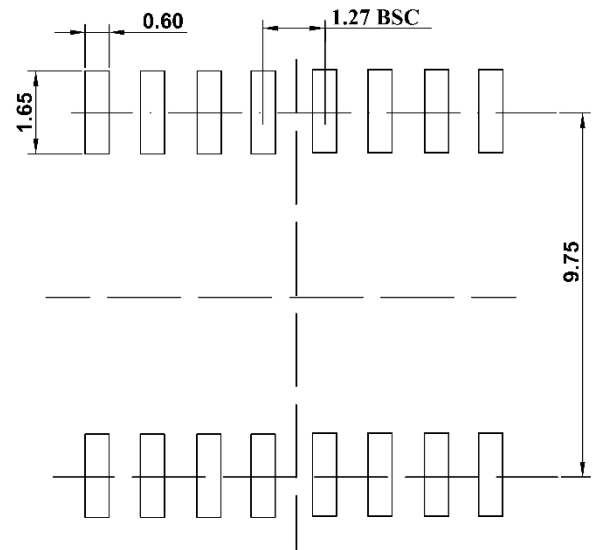
10. 封装信息

10.1. SOIC16-WB 封装外形尺寸

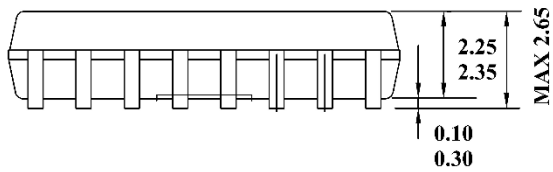
图中尺寸除角度外以毫米为单位。



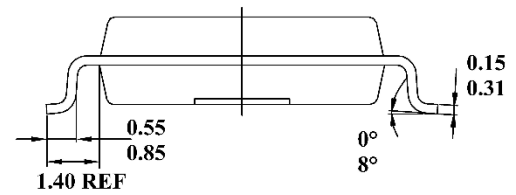
TOP VIEW



RECOMMENDED LAND PATTERN



FRONT VIEW

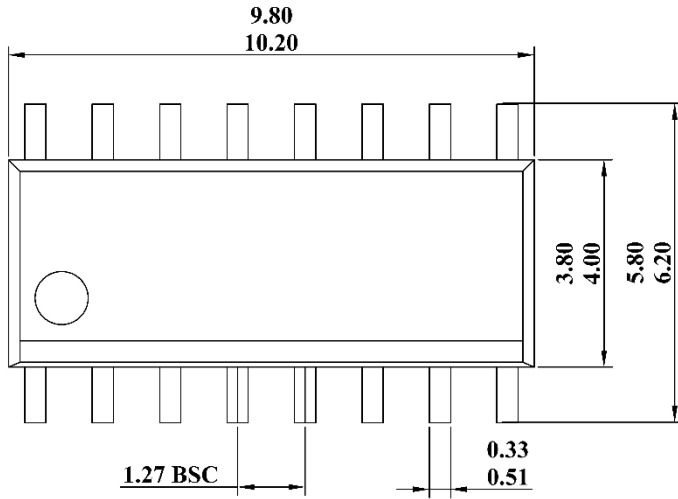


LEFT SIDE VIEW

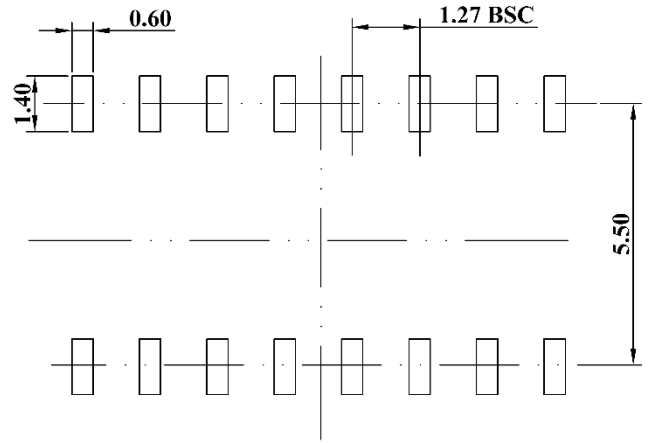
上海川土微电子股份有限公司

10.2. SOIC16-NB 封装外形尺寸

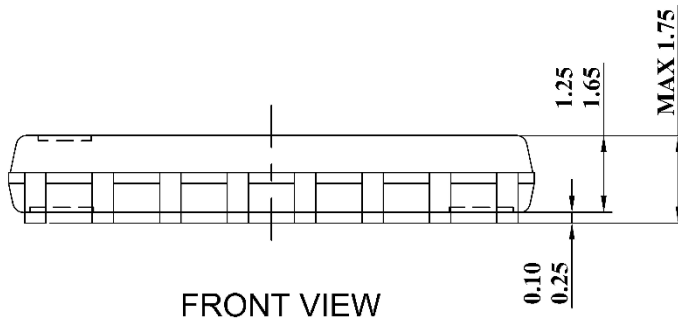
图中尺寸除角度外以毫米为单位。



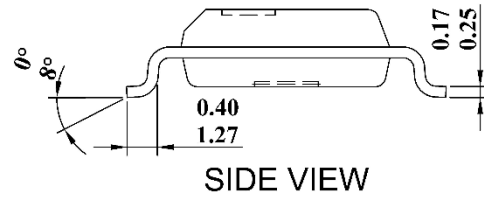
TOP VIEW



RECOMMENDED LAND PATTERN



FRONT VIEW



SIDE VIEW

11. 焊接信息

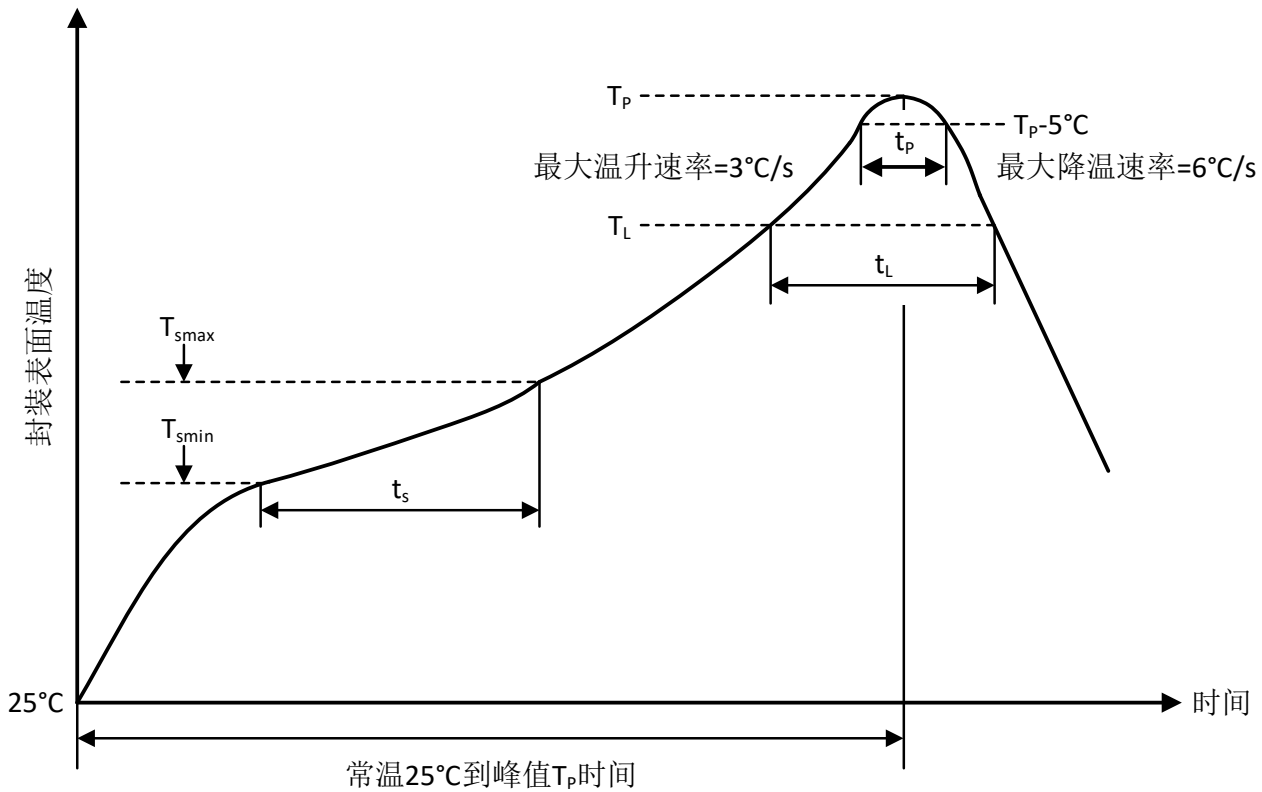
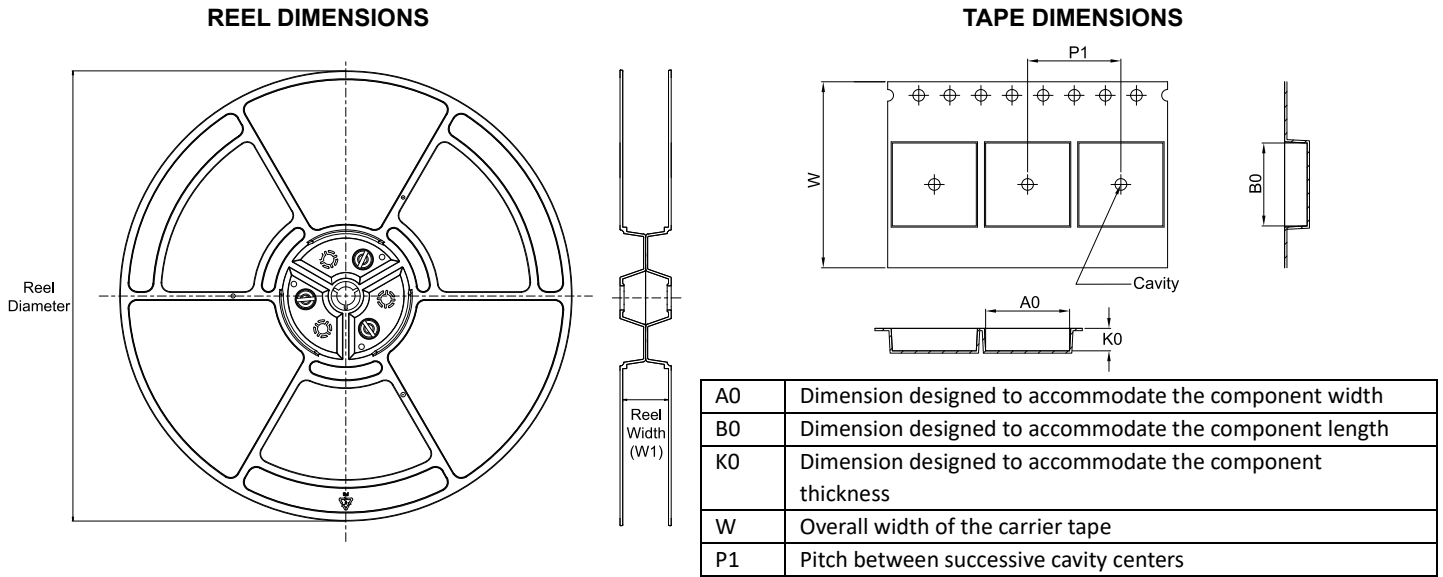


图 11-1 焊接温度曲线（回流）

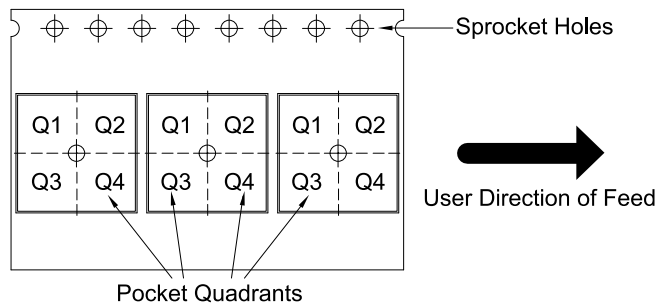
表 11-1 焊接温度参数

简要说明	无铅焊接
温升速率 ($T_L = 217^\circ\text{C}$ 至峰值 T_p)	最大 3°C/s
$T_{smin} = 150^\circ\text{C}$ 到 $T_{smax} = 200^\circ\text{C}$ 预热时间 t_s	60~120 秒
温度保持 217°C 以上时间 t_L	60~150 秒
峰值温度 T_p	260°C
小于峰值温度 5°C 以内时间 t_p	最长 30 秒
降温速率 (峰值 T_p 至 $T_L = 217^\circ\text{C}$)	最大 6°C/s
常温 25°C 到峰值温度 T_p 时间	最长 8 分钟

12. 卷带信息



QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IS3221CAW	SOIC	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3221CBW	SOIC	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3221CAN	SOIC	N	16	2500	330	16.4	6.40	10.30	2.10	8.00	16.00	Q1
CA-IS3221CBN	SOIC	N	16	2500	330	16.4	6.40	10.30	2.10	8.00	16.00	Q1

13. 修订历史

修订版本	修订内容	修订日期	页码
Version 1.00	NA	2026/05/08	N/A

14. 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>