



可靠性测试报告

产品系列: CA-IF48XX

版 本: V 1.2

目录

1	概述	3
2	群族产品料号表	3
3	群产品信息表	3
3.1	产品 Fab 基本信息	3
3.2	产品封装基本信息	3
4	产品可靠性认证要求	4
4.1	器件级可靠性测试要求	4
4.2	封装级可靠性测试要求	4
5	产品可靠性测试结果	5
5.1	器件级可靠性测试结果	5
5.2	SOIC8 封装级可靠性测试结果	5
5.3	DFN8 封装级可靠性测试结果	5
5.4	MSOP8 封装级可靠性测试结果	6
6	结论	6

1 概述

川土微电子产品的质量与可靠性测试是一个风险缓解过程，旨在确保设备在客户应用中的使用寿命。半导体晶圆制造工艺和封装级可靠性的评估方法多种多样，可能包括加速环境试验条件，随后降低到实际使用条件。芯片的可制造性评估包括验证稳健的装配流程，产品生产的连续性，确保供货能力。根据联合电子器件工程委员会（JEDEC）标准和程序，川土微电子的产品评估符合行业标准测试方法。川土微电子的 CA-IF48XX 系列接口芯片使用同样的晶圆进行封装，不同型号的区别是封装尺寸、打线方式的不同。属于同系列的接口芯片的可靠性可以参考同系列类似型号的可靠性测试结果和报告。

2 群族产品料号表

封装类型	产品料号
SOIC8(S)	CA-IF4888HS/CA-IF4805HS/CA-IF4820HS/CA-IF4820FS/CA-IF4850HS
DFN8(D)	CA-IF4820HD/CA-IF4820FD
MSOP8(M)	CA-IF4820HM

备注：根据 JEDEC 规范，使用相同 Fab 工艺，设计规则，相似电路的产品可作为同系列群族。相同的封装结构，允许尺寸和引脚数不同，可以作为同系列群族。

3 产品信息表

3.1 产品 Fab 基本信息

晶圆名称	JUPITER
晶圆工艺	BCDXXX

3.2 产品封装基本信息

封装厂	SiMAT/JCET-D8	SiMAT/JCET-D3	池州华宇/JCET-D8
测试厂	SiMAT/JCET-D8	SiMAT/JCET-D3	池州华宇/JCET-D8
封装形式	SOIC8 (S)	DFN8(D)	MSOP8(M)
Lead Frame	Cu	Cu	Cu
Bond wire	20um Au	20um Au	20um Au
湿敏等级	MSL3	MSL3	MSL3

4 产品可靠性认证要求

4.1 器件级可靠性测试要求

Stress Test	Ref.	Abbv.	Conditions	Duration /Accept
Electrical Parameter Assessment	JESD86	ED	Per Datasheet	Per Datasheet
High Temperature Operating Life	JESD22-A108, JESD85	HTOL	TJ ≥ 125 °C Vcc ≥ Vcc max	1000 hrs/ 0 Fail
Human Body Model ESD	JS-001	ESD-HBM	TA = 25 °C	Classification
Charged Device Model ESD	JS-002	ESD-CDM	TA = 25 °C	Classification
Latch-Up	JESD78	LU	Class I or Class II	0 Fail

4.2 封装级可靠性测试要求

Stress Test	Ref.	Abbv.	Conditions	Duration /Accept
MSL	JESD22 - A113	PC	Per appropriate MSL level per J-STD-020	Electrical Test (optional)
High Temperature Storage	JESD22-A103 & A113	HTSL	150 °C, 1000hrs	1000hrs / 0 Fail
Temperature Humidity Bias	JESD22-A101	THB	85 °C, 85 % RH, Vcc max	1000hrs / 0 Fail
Highly Accelerated Temperature and Humidity Stress	JESD22-A110	HAST	130 °C / 110 °C, 85 % RH, Vcc max	96/264hrs/ 0 Fail
Temperature Cycling	JESD22-A104	TCT	- 65 °C to +150 °C	500 cycles / 0 Fail
Unbiased Temperature/Humidity	JESD22-A102	AC	121 °C / 100% RH, 29.7 psia	96hrs / 0 Fail
Bond Pull Strength	M2011	BPS	Characterization, Pre Encapsulation	Ppk≥1.66 or Cpk≥1.33
Bond Shear	JESD22-B116	BS	Characterization, Pre Encapsulation	Ppk≥1.66 or Cpk≥1.33
Solderability	M2003 JESD22-B102	SD	Characterization	0 Fail

备注：THB 和 HAST 测试可以任选其一进行测试。

5 产品可靠性测试结果

5.1 器件级可靠性测试结果

Stress Test	Condition	Duration	Sample size	Result	Classification
ED	Per Datasheet	/	5*3lots	Pass	/
HTOL	Ta=125°C, Vcc=5.5V;	1000hrs	77*1lot	Pass	/
ESD-HBM	Ta=25°C	/	3*1lot	Pass	Class 3B
ESD-CDM	Ta=25°C	/	3*1lot	Pass	Class C3
LU	Ta=25°C	/	3*1lot	Pass	Class I.A

5.2 SOIC8 封装级可靠性测试结果

Stress Test	Condition	Duration	Sample size	Result	
				SiMAT	JCET-D8
PC	MSL 3	/	231*3lot	Pass	
HTSL	Ta=150°C	1000hrs	77*1lot	Pass	
HAST	130°C, 85%RH, Vcc=5.5V	96hrs	77*3lot	Pass	
TCT	-65°C to +150°C	500cycle	77*3lot	Pass	
AC	121°C, 100%RH, 29.7 psia	96hrs	77*3lot	Pass	
BS	JESD22-B116	/	30wire*5ea	Pass	
BPS	M2011	/	30wire*5ea	Pass	
SD	Steam aging 8hrs, 245°C dipping	/	22*1lot	Pass	

5.3 DFN8 封装级可靠性测试结果

Stress Test	Condition	Duration	Sample size	Result	
				SiMAT	JCET-D3
PC	MSL 3	/	231*3lot	Pass	
HTSL	Ta=150°C	1000hrs	77*1lot	Pass	
HAST	130°C/85%RH, Vcc=5.5V	96hrs	77*3lot	Pass	
TCT	-65°C to +150°C	500cycle	77*3lot	Pass	
AC	121°C, 100%RH, 29.7 psia	96hrs	77*3lot	Pass	
BS	JESD22-B116	/	30wire*5ea	Pass	
BPS	M2011	/	30wire*5ea	Pass	
SD	Steam aging 8hrs, 245°C dipping	/	22*1lot	Pass	

5.4 MSOP8 封装级可靠性测试结果

Stress Test	Condition	Duration	Sample size	Result	
				池州华宇	JCET-D8
PC	MSL 3	/	231*3lot	Pass	Pass
HTSL	Ta=150°C	1000hrs	77*1lot	Pass	Pass
HAST	130°C/85%RH, Vcc=5.5V	96hrs	77*3lot	Pass	Pass
TCT	-65°C to +150°C	500cycle	77*3lot	Pass	Pass
AC	121°C, 100%RH, 29.7 psia	96hrs	77*3lot	Pass	Pass
BS	JESD22-B116	/	30wire*5ea	Pass	Pass
BPS	M2011	/	30wire*5ea	Pass	Pass
SD	Steam aging 8hrs, 245°C dipping	/	22*1lot	Pass	Pass

6 结论

以上测试项目遵循 JEDEC 规范，且 CA-IF48XX 系列产品满足相关可靠性测试要求，结果全部通过，满足认证。

重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。

更新历史

Revision	Reason for change	Date
V1.0	Initial release	Oct. 2021
V1.1	增加 MSOP8 JCET 封装可靠性测试结果	Jan. 2023
V1.2	增加 BHAST 电压条件，AC 气压条件	Oct.2023