



可靠性认证报告

产品系列: CA-IS372X

版 本: V1.5

目录

1 概述	3
2 系列群族产品料号表	3
3 产品信息表	3
3.1 产品 Fab 基本信息	3
3.2 产品封装基本信息	3
4 产品可靠性认证要求	4
4.1 器件级可靠性测试要求	4
4.2 封装级可靠性测试要求	4
5 产品可靠性测试结果	5
5.1 器件级可靠性测试结果	5
5.2 SOIC8-NB 封装级可靠性测试结果	5
5.3 SOIC8-WB 封装级可靠性测试结果	5
6 结论	5

1 概述

川土微电子产品的质量与可靠性测试是一个风险缓解过程，旨在确保设备在客户应用中的使用寿命。半导体晶圆制造工艺和封装级可靠性的评估方法多种多样，可能包括加速环境试验条件，随后降低到实际使用条件。芯片的可制造性评估包括验证稳健的装配流程，产品生产的连续性，确保供货能力。根据联合电子器件工程委员会（JEDEC）标准和程序，川土微电子的产品评估符合行业标准测试方法。川土微电子的 CA-IS372X 系列数字隔离芯片使用同样的晶圆进行封装，不同型号的区别是封装尺寸、打线方式的不同。属于同系列的数字隔离芯片的可靠性可以参考同系列类似型号的可靠性测试结果和报告。

2 系列群族产品料号表

群族系列		CA-IS372X
封装及料号	SOIC8-NB(S)	CA-IS3720HS/CA-IS3721HS/CA-IS3722HS/CA-IS3720LS/CA-IS3721LS/CA-IS3722LS/CA-IS3720HSE/CA-IS3721HSE/CA-IS3722HSE/CA-IS3720LSE/CA-IS3721LSE/CA-IS3722LSE
	SOIC8-WB(G)	CA-IS3720HG/CA-IS3721HG/CA-IS3722HG/CA-IS3720LG/CA-IS3721LG/CA-IS3722LG

备注：根据 JEDEC 规范，使用相同 Fab 工艺，设计规则，相似电路的产品可做为同系列群族。相同的封装结构，允许尺寸和引脚数不同，可以做为同系列群族。

3 产品信息表

3.1 产品 Fab 基本信息

晶圆名称	QINGLONG
晶圆工艺	BCDXXX

3.2 产品封装基本信息

Assy Site	SFA/SiMAT/JCET	SFA/SiMAT/JCET
FT Site	SFA/SiMAT/JCET	SFA/SiMAT/JCET
Package	SOIC8-NB	SOIC8 -WB
Lead Frame	Cu	Cu
Bond wire	0.8mil Au	0.8mil Au
湿敏等级	MSL3	MSL3

4 产品可靠性认证要求

4.1 器件级可靠性测试要求

Stress Test	Ref.	Abbv.	Conditions	Duration /Accept
Electrical Parameter Assessment	JESD86	ED	Per Datasheet	Per Datasheet
High Temperature Operating Life	JESD22-A108, JESD85	HTOL	TJ $\geq$ 125 °C Vcc $\geq$ Vcc max	1000 hrs/ 0 Fail
Human Body Model ESD	JS-001	ESD-HBM	TA = 25 °C	Classification
Charged Device Model ESD	JS-002	ESD-CDM	TA = 25 °C	Classification
Latch-Up	JESD78	LU	Class I or Class II	0 Fail

4.2 封装级可靠性测试要求

Stress Test	Ref.	Abbv.	Conditions	Duration /Accept
MSL	JESD22 - A113	PC	Per appropriate MSL level per J-STD-020	Electrical Test (optional)
High Temperature Storage	JESD22-A103 & A113	HTSL	150 °C, 1000hrs	1000 hrs / 0 Fail
Temperature Humidity Bias	JESD22-A101	THB	85 °C, 85 % RH, Vcc max	1000 hrs / 0 Fail
Highly Accelerated Temperature and Humidity Stress	JESD22-A110	HAST	130 °C / 110 °C, 85 % RH, Vcc max	96/264 hrs/ 0 Fail
Temperature Cycling	JESD22-A104	TCT	- 65 °C to +150 °C	500 cycles / 0 Fail
Unbiased Temperature/Humidity	JESD22-A102	AC	121 °C, 100% RH, 29.7 psia	96 hrs / 0 Fail
Bond Pull Strength	M2011	BPS	Characterization, Pre Encapsulation	Ppk $\geq$ 1.66 or Cpk $\geq$ 1.33
Bond Shear	JESD22-B116	BS	Characterization, Pre Encapsulation	Ppk $\geq$ 1.66 or Cpk $\geq$ 1.33
Solderability	M2003 JESD22-B102	SD	Characterization	0 Fail

备注：THB 和 HAST 测试可以任选其一进行测试。

5 产品可靠性测试结果

5.1 器件级可靠性测试结果

Stress Test	Condition	Duration	Sample size	Result	Classification
ED	Per Datasheet	/	10*3 lot	Pass	/
HTOL	Ta=125°C, Vcc=5.5V;	1000hrs	77*5 lot	Pass	/
ESD-HBM	Ta=25°C	/	3*1 lot	Pass	Class 3A
ESD-CDM	Ta=25°C	/	3*1 lot	Pass	Class C3
LU	Ta=25°C	/	3*1 lot	Pass	Class I

5.2 SOIC8-NB 封装级可靠性测试结果

Stress Test	Condition	Duration	Sample size	Result		
				SiMAT	SFA	JCET
PC	MSL 3	/	231*3 lot	Pass	Pass	Pass
HTSL	Ta=150°C	1000hrs	77*3 lot	Pass	Pass	Pass
HAST	130°C, 85%RH, Vcc=5.5V	96hrs	77*3 lot	Pass	Pass	Pass
TCT	-65°C to +150°C	500cycle	77*3 lot	Pass	Pass	Pass
AC	121°C, 100%RH, 29.7 psia	96hrs	77*3 lot	Pass	Pass	Pass
BS	JESD22-B116	/	30wire/5ea	Pass	Pass	Pass
BPS	M2011	/	30wire/5ea	Pass	Pass	Pass
SD	Steam aging 8hrs, 245°C dipping	/	22 *3 lot	Pass	Pass	Pass

5.3 SOIC8-WB 封装级可靠性测试结果

Stress Test	Condition	Duration	Sample size	Result		
				SiMAT	SFA	JCET
PC	MSL 3	/	231*3 lot	Pass	Pass	Pass
HTSL	Ta=150°C	1000hrs	77*3 lot	Pass	Pass	Pass
HAST	130°C, 85%RH, Vcc=5.5V	96hrs	77*3 lot	Pass	Pass	Pass
TCT	-65°C to +150°C	500cycle	77*3 lot	Pass	Pass	Pass
AC	121°C, 100%RH, 29.7 psia	96hrs	77*3 lot	Pass	Pass	Pass
BS	JESD22-B116	/	30wire/5ea	Pass	Pass	Pass
BPS	M2011	/	30wire/5ea	Pass	Pass	Pass
SD	Steam aging 8hrs, 245°C dipping	/	22*3 lot	Pass	Pass	Pass

6 结论

以上测试项目遵循 JEDEC 规范，且 CA-IS372X 系列产品满足相关可靠性测试要求，结果全部通过，满足可靠性测试认证。

重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。

更新历史

版本	变更原因	发布时间
V1.0	初版发布	
V1.1	更新报告格式	Feb. 2022
V1.2	增加 SOIC8-NB JCET 封装可靠性测试结果	Dec. 2022
V1.3	增加 SOIC8-WB SiMAT/JCET 封装可靠性测试结果	Jan. 2023
V1.4	增加 BHASt 电压条件，AC 气压条件	Oct.2023
V1.5	增加 HTOL 及封装可靠性测试批次及结果	Jan.2024