

CA-IS2092x 集成 DC-DC 转换器的隔离式 RS-485 收发器

1. 产品特性

- 满足或超过TIA/EIA-485A标准的RS-485收发器
- 数据速率：0.5Mbps
- 1/8单位负载，支持多达256个总线节点
- 5V或3.3V逻辑侧供电，提供DC-DC转换器和RS-485收发器供电独立的版本
- 集成低辐射的隔离式 DC-DC 转换器为总线侧供电
 - 3.3V 或 5V 输出电压可选 ($V_{ISO} \leq V_{CC}$)
 - 高度集成：内置变压器
 - 软启动抑制输入浪涌电流
 - 集成过载和短路保护
 - 内置热保护功能
- 高共模瞬态抗扰度： $\pm 150\text{kV}/\mu\text{s}$ （典型值）
- 总线 I/O ESD 保护
 - $\pm 20\text{kV}$ HBM ESD
- 带有限流驱动器和热关断功能
- 开路、短路和空闲总线失效保护
- 工作温度范围： -40°C 至 125°C
- 16 引脚宽体 SOIC 封装
- 额定工作电压下隔离栅寿命大于40年
- 安全认证：
 - 根据 DIN EN IEC 60747-17(VDE 0884-17):2021-10 的 VDE 认证
 - 根据 UL 1577 的 UL 认证
 - 根据 GB4943.1-2022 的 CQC 认证
 - TUV 认证

2. 典型应用

- 隔离式 RS-485 通信接口
- 工厂自动化
- 光伏逆变器
- 楼宇自动化
- 电机驱动

3. 概述

CA-IS2092x 系列产品为隔离式半双工 RS-485 收发器，内部集成隔离式 DC-DC 转换器，省去了外部隔离电源，同时器件内部的逻辑输入与输出缓冲器之间通过二氧化硅 (SiO_2) 绝缘栅隔离，采用 5V 或者 3.3V 单电源供电，实现高度集成的信号与电源隔离 RS-485 解决方案。绝缘栅阻断了逻辑侧与总线侧的地环路，有助于降低端口间地电势差较高的噪声，确保数据的正确传输。

CA-IS2092x 系列产品支持多节点数据通信，总线引脚具有 $\pm 20\text{kV}$ HBM ESD 保护，可耐受高级别的 ESD 事件，保护内部电路不受损害。接收器输入阻抗为 1/8 单位负载，允许同一总线上最多挂接 256 个收发器。CA-IS2092x 系列产品提供 DC-DC 转换器和 RS-485 收发器供电独立的版本 (CA-IS2092VW)，便于逻辑侧与低压控制电路的信号交互。

CA-IS2092x 采用 16 引脚宽体 SOIC 封装，支持从 -40°C 到 125°C 的工业扩展温度范围。

器件信息

器件型号	封装	封装尺寸（标称值）
CA-IS2092W CA-IS2092VW	SOIC16-WB (W)	10.30mm × 7.50mm

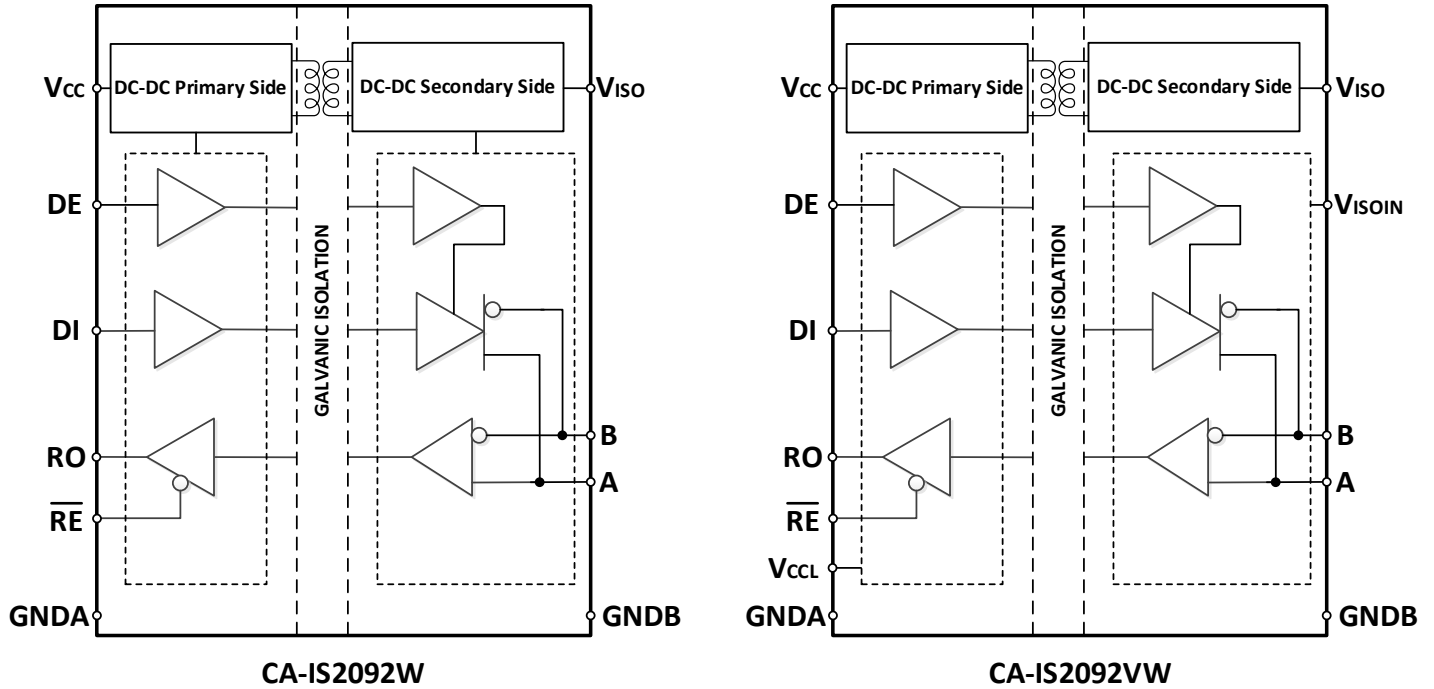


图 3-1 简化功能框图

4. 订购指南

表 4-1 有效订购器件型号

型号	通讯模式	通讯速率 (Mbps)	隔离电源输出电压 (V)	逻辑电压是否可以独立供电	封装
CA-IS2092W	半双工	0.5	3.3 或 5	否	SOIC16-WB(W)
CA-IS2092VW	半双工	0.5	3.3 或 5	是	SOIC16-WB(W)

目录

1. 产品特性.....	1	8. 参数测试电路.....	15
2. 典型应用.....	1	9. 详细说明.....	18
3. 概述.....	1	9.1. 逻辑输入.....	18
4. 订购指南.....	2	9.2. 接收器.....	18
5. 修订历史.....	3	9.3. 驱动器.....	19
6. 引脚功能描述.....	4	9.4. 欠压保护.....	20
7. 产品规格.....	5	9.5. V_{ISO} 输出电压.....	20
7.1. 绝对最大额定值 ¹	5	9.6. 最大负载可用电流 I_{ISO}	20
7.2. ESD 额定值.....	5	9.7. 保护功能.....	21
7.3. 建议工作条件.....	5	9.7.1. 信号隔离与电源隔离.....	21
7.4. 热阻信息.....	5	9.7.2. 热关断.....	21
7.5. 隔离特性.....	6	9.7.3. 限流保护.....	21
7.6. 相关安全认证.....	7	10. 应用信息.....	22
7.7. 电气特性.....	8	10.1. 概述.....	22
7.7.1. 驱动器特性.....	8	10.2. 典型应用.....	22
7.7.2. 接收器特性.....	8	10.3. 256 个总线节点.....	23
7.8. 电源特性.....	9	10.4. PCB 布板.....	23
7.9. 时序特性.....	10	11. 封装信息.....	25
7.9.1. 驱动时序特性.....	10	12. 焊接信息.....	26
7.9.2. 接收时序特性.....	10	13. 卷带信息.....	27
7.10. 典型特性曲线.....	11	14. 重要声明.....	28

5. 修订历史

修订版本号	修订内容	修订日期	修订页码
Version 1.00	初始版本		N/A
Version 1.01	更新参数 t_{PHZ} 和 t_{PLZ} , 设计保证		10
Version 1.02	更新 POD		25
Version 1.03	更新 UL 认证信息		7
Version 1.04	更新 VDE 和 TUV 认证信息	2023/09/19	6, 7
Version 1.05	1. 更新安全认证信息 2. 更新 V_{IOSM} 测试条件	2024/04/16	1, 6, 7
Version 1.06	1. 更新 CA-IS209xVW 的 7 引脚的描述 2. 更新最大负载电流 I_{ISO} 数值的书写方式, 并更新其注释 3. 增加 CMTI 的注释	2024/05/13	5, 9, 10
Version 1.07	1. 增加 IEC62368-1 标准的 TUV 认证证书 2. 更新 VDE 关于 V_{IMP} 和 V_{IOSM} 的描述 3. 更新推荐焊盘尺寸	2024/12/17	9, 25

6. 引脚功能描述

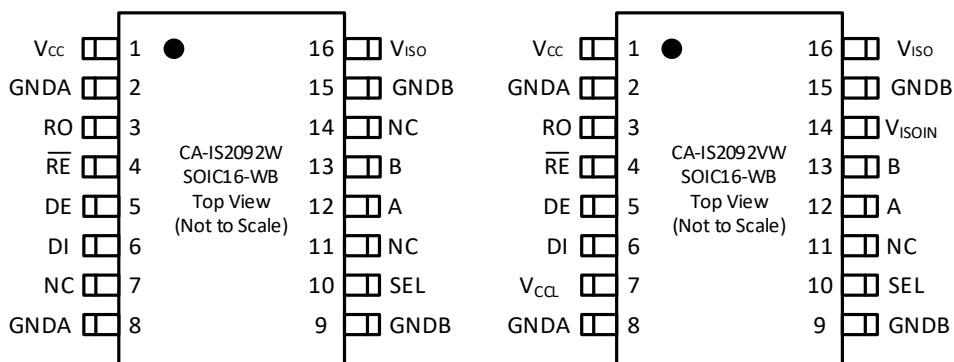


图 6-1 CA-IS2092W 和 CA-IS2092VW 引脚分布

表 6-1 CA-IS2092W 和 CA-IS2092VW 引脚功能描述

引脚名称	引脚编号		类型	描述
	CA-IS2092W	CA-IS2092VW		
V _{CC}	1	1	电源	逻辑侧电源，为内部 DC-DC 转换器供电，对于 CA-IS2092W 而言，决定逻辑侧输入引脚判决阈值和输出引脚电平；对于 CA-IS2092VW 而言，逻辑侧输入引脚判决阈值和输出引脚电平由 V _{CC1} 决定。在 V _{CC} 与 GNDA 之间外接 0.1μF 和 10μF 旁路电容，电容需靠近电源引脚安装，间距小于 2mm。
GNDA	2, 8	2, 8	地	逻辑侧地，逻辑侧信号的地参考点。
RO	3	3	逻辑输出	接收器数据输出，详见真值表（表 9-1）。
$\overline{RE}$	4	4	逻辑输入	接收器使能控制，低电平有效。 $\overline{RE}$ 为低电平时，接收器使能工作； $\overline{RE}$ 为高电平时，接收输出为高阻。
DE	5	5	逻辑输入	驱动器使能控制：高电平有效。 DE 为低电平时，驱动输出为高阻；DE 为高电平时，驱动器使能工作。
DI	6	6	逻辑输入	驱动器数据输入端，DE 为高电平时，如果 DI 为高电平，则 A 输出高电平，B 输出低电平；如果 DI 为低电平时，则 A 输出低电平，B 输出高电平。
NC	7	--	无	无内部连接。
V _{CC1} ¹	--	7	电源	逻辑侧 RS-485 电源，决定逻辑侧输入引脚判决阈值和输出引脚电平。在 V _{CC1} 与 GNDA 之间外接 1μF 旁路电容，电容需靠近电源引脚安装。
GNDB	9, 15	9, 15	地	总线侧地，GNDB 是 RS-485 总线信号的参考点。
SEL ²	10	10	逻辑输入	V _{ISO} 输出电压选择： SEL 接 V _{ISO} 时，V _{ISO} = 5V； SEL 接 GNDB 或悬空时，V _{ISO} = 3.3V。
NC	11, 14	11	无	无内部连接。
A	12	12	总线输入/输出	RS-485 总线接收器同相输入/驱动器同相输出端。
B	13	13	总线输入/输出	RS-485 总线接收器反相输入/驱动器反相输出端。
V _{ISOIN}	--	14	电源	总线侧 RS-485 电源，决定了总线侧输入引脚判决阈值和输出引脚电平，应用时将该引脚短接至 V _{ISO} 引脚。
V _{ISO}	16	16	电源	隔离电源输出，为总线侧供电。在 V _{ISO} 与 GNDB 之间外接 0.1μF 和 10μF 旁路电容，电容需靠近电源引脚安装，间距小于 2mm。

注：

- V_{CC1} 逻辑电源电压可以与逻辑侧电源电压 V_{CC} 不同。
- 输出隔离电压选择引脚，当 V_{CC} 电压为 3.3V 时，SEL 只能接地或者悬空；当 V_{CC} 电压为 5V 时，SEL 不受限制，详见表 9-5。

7. 产品规格

7.1. 绝对最大额定值¹

参数	最小值	最大值	单位
V_{CC}, V_{CCL} 逻辑侧电源电压 ²	-0.5	6.0	V
V_{ISO}, V_{ISOIN} 总线侧电源电压 ²	-0.5	6.0	V
V_{IO1} 逻辑侧端口电压 DE, DI, $\overline{RE}$	-0.5	$V_{CC} + 0.5^3$	V
V_{IO2} 总线侧端口电压 SEL	-0.5	$V_{ISO} + 0.5^4$	V
V_{BUS} 总线侧端口电压 A, B	-8	13	V
I_O 输出电流	-20	20	mA
T_J 结温		150	°C
T_{STG} 存储温度范围	-65	150	°C

注:

- 工作条件等于或超出上述绝对最大额定值可能会导致器件永久性损坏。这里给出的是器件额定值，并非工作条件，不能据此推断产品能否正常工作。器件长期在超出最大额定值条件下工作会影响产品的可靠性，甚至导致产品损坏。
- 除总线差分输出/输入电压以外，所有电压值均相对于本地接地端（GNDA 或 GNDB），并且是峰值电压值。
- 最大电压不得超过 6V，对于 CA-IS2092VW 版本是相对 V_{CCL} 。
- 最大电压不得超过 6V，对 CA-IS2092VW 版本是相对 V_{ISOIN} 。

7.2. ESD 额定值

参数	数值	单位
V_{ESD} 静电放电	逻辑侧所有引脚对 GNDA	±6
	总线侧引脚 A, B 对 GNDB	±20
	总线侧其它引脚对 GNDB	±6
	组件充电模式（CDM），基于 JEDEC 规范 JESD22-C101，所有引脚。	±2

7.3. 建议工作条件

参数	最小值	典型值	最大值	单位
V_{CC}^1 逻辑侧电源电压	3.15	3.3 或 5.0	5.5	V
V_{CCL} 逻辑侧 RS-485 电源电压	2.375	3.3 或 5.0	5.5	V
V_{OC} A,B 引脚电压	-7		12	V
V_{ID} A,B 差分输入电压	-12		12	V
R_L 差分负载电阻	54			Ω
V_{IH} DE,DI 输入阈值逻辑高电平	2.0		$V_{CC}^2 + 0.3$	V
V_{IL} DE,DI 输入阈值逻辑低电平	-0.3		0.8	
V_{IH} $\overline{RE}$ 输入阈值逻辑高电平	$0.7 \times V_{CC}^2$		$V_{CC}^2 + 0.3$	V
V_{IL} $\overline{RE}$ 输入阈值逻辑低电平	-0.3		$0.3 \times V_{CC}^2$	
DR 信号传输速率			0.5	Mbps
T_A 环境温度	-40		125	°C

注:

- 任何工作条件下，不支持 3.3V V_{CC} 电源输入，5V V_{ISO} 电源输出的应用。
- 对 CA-IS209xVW 版本是相对 V_{CCL} 。

7.4. 热阻信息

热参数	SOIC16-WB(W)	单位
$R_{\theta JA}$ IC 结至环境的热阻	68.5	°C/W

7.5. 隔离特性

参数		测试条件	数值 W	单位
CLR	外部气隙（间隙） ¹	输入端至输出端的隔空最短距离	8	mm
CPG	外部爬电距离 ¹	输入端至输出端沿壳体的最短距离	8	mm
DTI	隔离距离	最小内部间隙（内部距离）	28	μm
CTI	相对漏电指数	DIN EN 60112 (VDE 0303-11); IEC 60112	>600	V
	材料组	依据 IEC 60664-1	I	
IEC 60664-1 过压类别		额定电压 ≤ 150 V _{RMS}	I-IV	
		额定电压 ≤ 300 V _{RMS}	I-IV	
		额定电压 ≤ 600 V _{RMS}	I-IV	
		额定电压 ≤ 1000 V _{RMS}	I-III	
DIN V VDE V 0884-17:2021-10²				
V _{IORM}	最大重复峰值隔离电压	交流电压（双极）	1414	V _{PK}
V _{IOWM}	最大工作隔离电压	交流电压；时间相关的介质击穿（TDDb）测试	1000	V _{RMS}
		直流电压	1414	V _{DC}
V _{IOTM}	最大瞬态隔离电压	V _{TEST} = V _{IOTM} , t = 60s（认证）； V _{TEST} = 1.2 × V _{IOTM} , t = 1s（100% 产品测试）	7070	V _{PK}
V _{IMP}	最大脉冲电压	测试方法根据 IEC 62368-1, 1.2/50μs 波形	9846	
V _{IOSM}	最大浪涌隔离电压 ³	测试方法根据 IEC 62368-1, 1.2/50μs 波形, V _{IOSM} ≥ 1.3 × V _{IMP} , 在油中测试（认证）	12800	V _{PK}
Q _{pd}	表征电荷 ⁴	方法 a, 输入/输出安全测试子类 2/3 后, V _{ini} = V _{IOTM} , t _{ini} = 60s; V _{pd(m)} = 1.2 × V _{IORM} , t _m = 10s	≤5	pC
		方法 a, 环境测试子类 1 后, V _{ini} = V _{IOTM} , t _{ini} = 60s; V _{pd(m)} = 1.3 × V _{IORM} , t _m = 10s	≤5	
		方法 b, 常规测试（100% 生产测试）和前期 预处理（抽样测试） V _{ini} = 1.2 × V _{IOTM} , t _{ini} = 1s; V _{pd(m)} = 1.5 × V _{IORM} , t _m = 1s	≤5	
C _{IO}	栅电容, 输入到输出 ⁵	V _{IO} = 0.4 × sin(2πft), f = 1MHz	~3.5	pF
R _{IO}	绝缘电阻 ⁵	V _{IO} = 500 V, T _A = 25°C	>10 ¹²	Ω
		V _{IO} = 500 V, 100°C ≤ T _A ≤ 125°C	>10 ¹¹	
		V _{IO} = 500 V at T _S = 150°C	>10 ⁹	
	污染度		2	
UL 1577				
V _{ISO}	最大隔离电压	V _{TEST} = V _{ISO} , t = 60s（认证）, V _{TEST} = 1.2 × V _{ISO} , t = 1s（100% 生产测试）	3750	V _{RMS}
注: - 爬电距离和间隙要求应根据具体应用中特定设备的隔离标准。电路板设计应注意保持爬电和间隙距离, 确保隔离器在印刷电路板上的焊盘不会缩短此距离。印刷电路板上的爬电距离与间隙在某些情况下是相同的。通过在电路板上插入凹槽可以增大这些距离指标。 - 该标准仅适用于最大工作额定值范围内的安全电气隔离, 应通过适当的保护电路确保遵守安全等级要求。 - 测试在空气或油中进行, 以确定隔离层固有的浪涌抑制。 - 表征电荷是由局部放电引起的放电电荷（pd）。 - 绝缘栅两侧的所有引脚连接在一起, 构成两端器件。				

7.6. 相关安全认证

VDE	UL	CQC	TUV
根据 DIN EN IEC 60747-17(VDE 0884-17):2021-10; EN IEC 60747-17:2020+AC:2021 认证	根据 UL 1577 器件认证程序	根据 GB4943.1-2022 认证	根据 EN 61010-1 和 EN 62368-1 认证
加强绝缘: V _{IORM} : 1414V _{PK} V _{IOTM} : 7070V _{PK} V _{IOSM} : 12800V _{PK}	单一绝缘保护 5000V _{RMS}	加强绝缘 (仅适用于海拔 5000 米及以下)	EN 61010-1: 5000V _{RMS} EN 62368-1: 5000V _{RMS}
证书编号: 40057278 (加强绝缘)	证书编号: E511334	证书编号: CQC23001406424	客户参考编号: 2253313

7.7. 电气特性

7.7.1. 驱动器特性

测试时 CA-IS2092VW 版本的 V_{CC} 和 V_{CCL} 短接, V_{ISO} 和 V_{ISOIN} 短接。除非有额外说明, 本表格数据均为推荐工作条件下的测试结果。

参数	测试条件	最小值	典型值	最大值	单位
V _{OD1} 差分输出电压（无负载）	I _O = 0mA，SEL 为低电平或悬空	2.9		4.6	V
	I _O = 0mA，SEL 为高电平	3.7			
V _{OD2} 差分输出电压（带负载）	R _L = 54Ω，SEL 为低电平或悬空； 见图 8-1	1.5	2		V
	R _L = 54Ω，SEL 为高电平； 见图 8-1	2.1	3.6		
V _{OD3} 差分输出电压（带负载）	V _{test} 从-7V 到 12V；见图 8-1	1.5			V
Δ V _{OD} 差分输出电压变化	R _L = 54Ω 或 100Ω；见图 8-1	-0.2		0.2	V
V _{OC} 共模输出电压		1	V _{ISO} /2	3	V
ΔV _{OC} 稳态共模输出电压变化		-0.2		0.2	V
I _{IH} , I _{IL} 输入漏电流	DI，DE = 0V 或 V _{CC}	-20		20	μA
I _{OS} 驱动器输出短路电流	DE = V _{CC} , DI = 0V 或 V _{CC} , V _A 或 V _B = -7V	-150	150		mA
	DE = V _{CC} , DI = 0V 或 V _{CC} , V _A 或 V _B = 12V				
CMTI ¹ 共模瞬变抗扰度	V _{CM} = 1.5kV；如图 8-6	100	150		kV/μs
注：					
1. 测试数据基于实验室验证和仿真结果。					

7.7.2. 接收器特性

测试时 CA-IS2092VW 版本的 V_{CC} 和 V_{CCL} 短接, V_{ISO} 和 V_{ISOIN} 短接。除非有额外说明, 本表格数据均为推荐工作条件下的测试结果。

参数	测试条件	最小值	典型值	最大值	单位
V _{OH} 逻辑高电平输出电压 RO	V _{CC} = 5V, I _{OH} = -4mA	V _{CC} -0.4	4.8		V
	V _{CC} = 3.3V, I _{OH} = -4mA	V _{CC} -0.4	3		
V _{OL} 逻辑低电平输出电压 RO	V _{CC} =5V, I _{OL} = 4mA		0.2	0.4	V
	V _{CC} =3.3V, I _{OL} = 4mA		0.2	0.4	
I _{IH} 高电平输入漏电流 $\overline{RE}$	V _{IH} = V _{CC}	-20		20	μA
I _{IL} 低电平输入漏电流 $\overline{RE}$	V _{IL} = 0V	-20		20	μA
V _{IT+(IN)} 高电平输入阈值			-110	-50	mV
V _{IT-(IN)} 低电平输入阈值		-200	-140		mV
V _{I(HYS)} 输入阈值迟滞			30		mV
I _i 总线输入电流	V _A 或 V _B = 12V,其它输入引脚接 0V		75	125	μA
	V _A 或 V _B = 12V, V _{CC} = 0V,其它输入引脚接 0V		80	125	
	V _A 或 V _B = -7V,其它输入引脚接 0V	-100	-40		
	V _A 或 V _B = -7V, V _{CC} = 0V,其它输入引脚接 0V	-100	-40		
R _{ID} 差分输入电阻	A 和 B 之间	96			kΩ

上海川土微电子有限公司

7.8. 电源特性

测试时 CA-IS2092VW 版本的 V_{CC} 和 V_{CCL} 短接, V_{ISO} 和 V_{ISOIN} 短接。除非有额外说明, 本表格数据均为推荐工作条件下的测试结果。

参数		测试条件	最小值	典型值	最大值	单位
隔离电源（除非有额外说明，A、B 之间无负载电阻）						
V _{ISO}	隔离输出电压	I _{ISO} = 0 到 130mA，V _{CC} = 5V，SEL = GNDB 或 V _{ISO}	4.75	5	5.25	V
		I _{ISO} = 0 到 75mA，V _{CC} = 3.3V，SEL = GNDB	3.13	3.3	3.47	
I _{ISO}	最大负载可用电流 ¹	A、B 之间 R _L = NC ²	V _{CC} = 5V，SEL = GNDB 或 V _{ISO}	130		mA
			V _{CC} = 3.3V，SEL = GNDB	75		
		A、B 之间 R _L = 100Ω	V _{CC} = 5V，SEL = V _{ISO}	80		
			V _{CC} = 5V，SEL = GNDB	105		
			V _{CC} = 3.3V，SEL = GNDB	40		
		A、B 之间 R _L = 54Ω	V _{CC} = 5V，SEL = V _{ISO}	55		
			V _{CC} = 5V，SEL = GNDB	85		
			V _{CC} = 3.3V，SEL = GNDB	30		
		V _{ISO(LINE)}	直流线性调整率	I _{ISO} = 50mA，V _{CC} = 4.5 到 5.5V，SEL = GNDB 或 V _{ISO}		
	I _{ISO} = 50mA，V _{CC} = 3.15 到 3.6V，SEL = GNDB					
V _{ISO(LOAD)}	直流负载调整率	I _{ISO} = 0 到 130mA，V _{CC} = 5V，SEL = GNDB 或 V _{ISO}		1%		
		I _{ISO} = 0 到 75mA，V _{CC} = 3.3V，SEL = GNDB				
EFF	最大负载电流时的效率	I _{ISO} = 130mA， C _{LOAD} = 0.1μF 10μF	V _{CC} = 5V，SEL = V _{ISO}	53%		
			V _{CC} = 5V，SEL = GNDB	42%		
		I _{ISO} = 75mA， C _{LOAD} = 0.1μF 10μF	V _{CC} = 3.3V，SEL = GNDB	47%		
注：						
1. DE = V _{CC} ， $\overline{RE}$ = 0V，DI = 0V 或 V _{CC} ；当 T _A >85℃ 时，最大负载可用电流应适当降低，可参考图 7.10-14、图 7.10-16 和图 7.10-18；						
2. R _L = NC 表示 A、B 之间空载。						
静态电流，驱动器和接收器使能（DE = V _{CC} ， $\overline{RE}$ = 0V，DI = 0V）						
I _{CC}	逻辑侧 供电电流	A、B 之间空载	V _{CC} = 3.3V，SEL = GNDB	17	28	mA
			V _{CC} = 5.0V，SEL = GNDB	15	22	
			V _{CC} = 5.0V，SEL = V _{ISO}	18	28	
		A、B 之间 R _L = 54Ω	V _{CC} = 3.3V，SEL = GNDB	94	125	
			V _{CC} = 5.0V，SEL = GNDB	82	120	
			V _{CC} = 5.0V，SEL = V _{ISO}	140	200	
		A、B 之间 R _L = 100Ω	V _{CC} = 3.3V，SEL = GNDB	65	95	
			V _{CC} = 5.0V，SEL = GNDB	55	80	
			V _{CC} = 5.0V，SEL = V _{ISO}	93	135	
		A、B 之间 R _L = 120Ω	V _{CC} = 3.3V，SEL = GNDB	57	88	
			V _{CC} = 5.0V，SEL = GNDB	50	72	
			V _{CC} = 5.0V，SEL = V _{ISO}	83	120	
平均动态电流，驱动器和接收器使能（DE = V _{CC} ， $\overline{RE}$ = 0V），DI 输入 250kHz、50% 占空比方波						
I _{CC}	逻辑侧 供电电流	A、B 间负载 R _L = 54Ω	V _{CC} = 3.3V，SEL = GNDB	92	125	mA
			V _{CC} = 5V，SEL = GNDB	85	120	
			V _{CC} = 5V，SEL = V _{ISO}	145	210	
		A、B 间负载 R _L = 100Ω	V _{CC} = 3.3V，SEL = GNDB	65	95	
			V _{CC} = 5V，SEL = GNDB	60	85	
			V _{CC} = 5V，SEL = V _{ISO}	100	145	
		A、B 间负载 R _L = 120Ω	V _{CC} = 3.3V，SEL = GNDB	60	85	
			V _{CC} = 5V，SEL = GNDB	55	80	
			V _{CC} = 5V，SEL = V _{ISO}	95	140	

7.9. 时序特性

7.9.1. 驱动时序特性

测试时 CA-IS2092VW 版本的 V_{CC} 和 V_{CCL} 短接, V_{ISO} 和 V_{ISOIN} 短接。除非有额外说明, 典型值在 $V_{CC} = V_{CCL} = 5V$, $SEL = V_{ISO}$ 条件下测得。

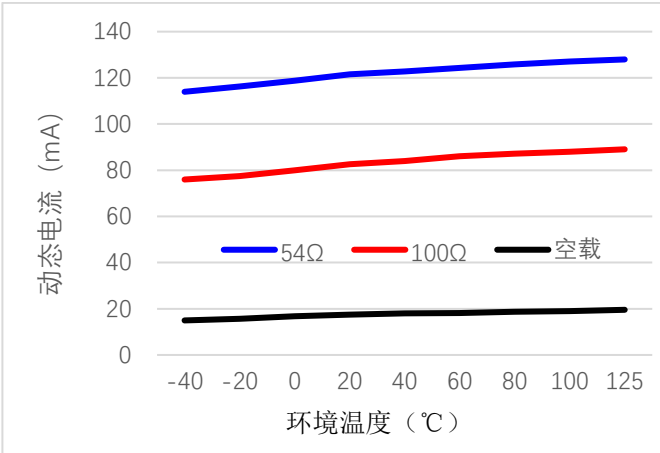
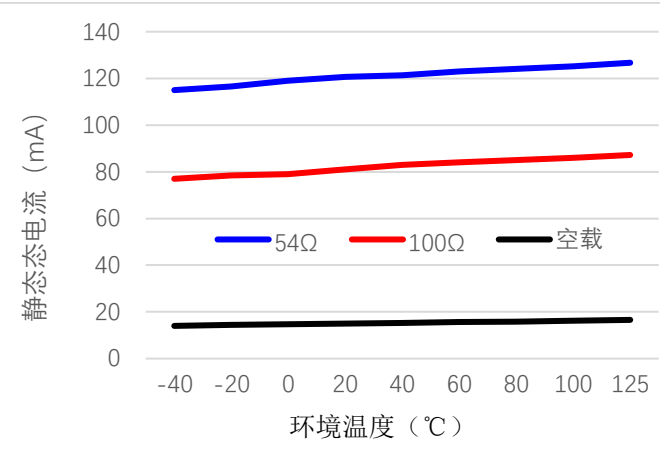
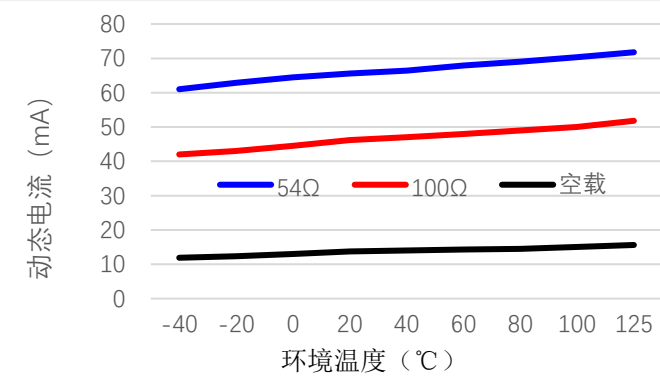
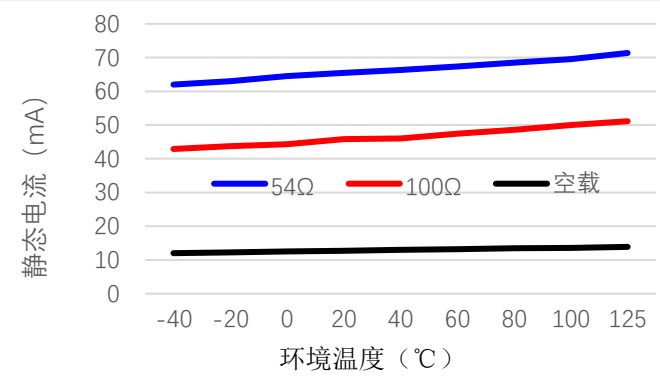
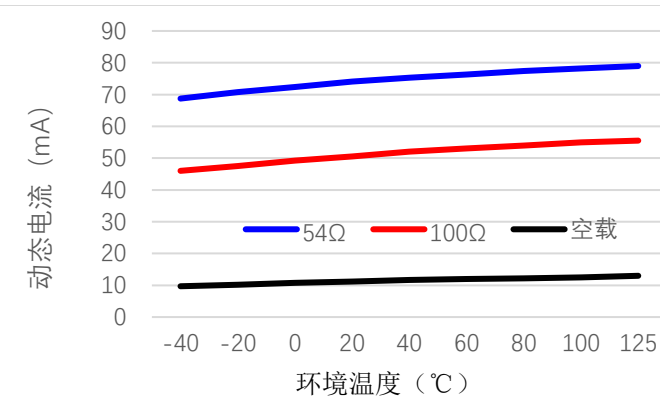
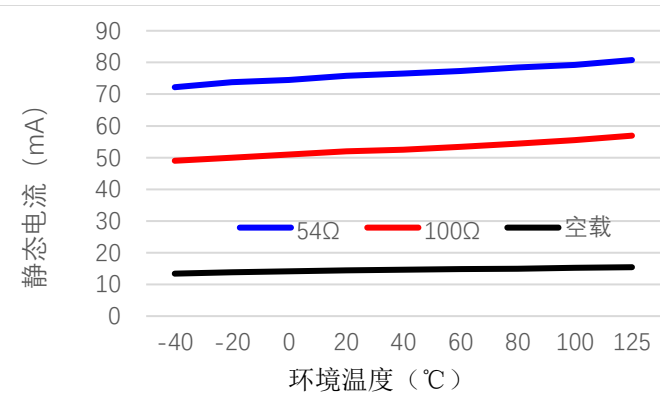
参数	测试条件	最小值	典型值	最大值	单位
t_{PLH}, t_{PHL} 驱动传输延时	见图 8-2		100	250	ns
t_{PWD} 脉冲宽度失真 $ t_{PLH} - t_{PHL} $			5	20	ns
t_r, t_f 输出上升/下降时间			150	500	ns
t_{PZH}, t_{PZL} 驱动器使能时间	见图 8-3		300	800	ns
t_{PHZ}, t_{PLZ} 驱动器关断时间			20	50	ns

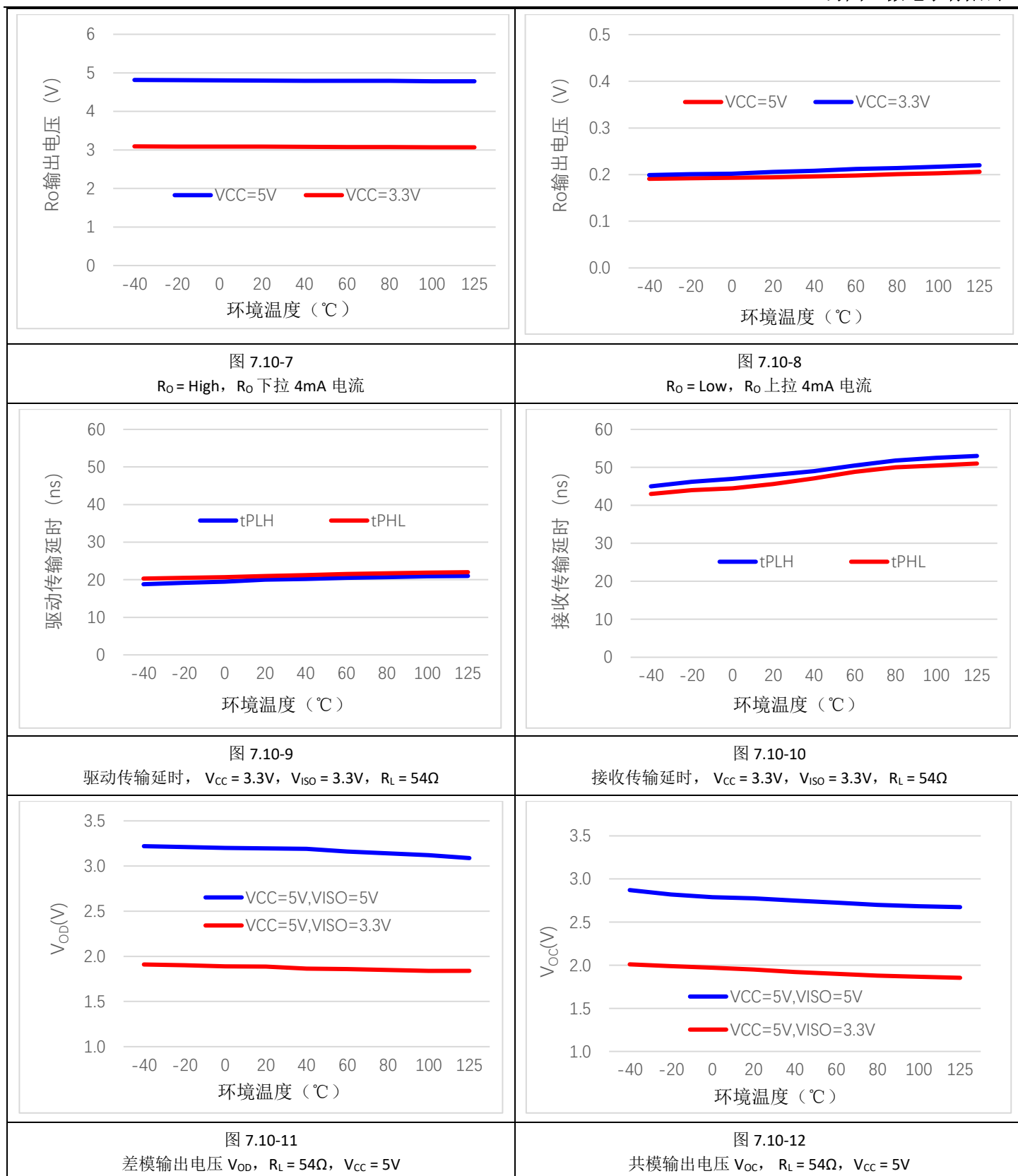
7.9.2. 接收时序特性

测试时 CA-IS2092VW 版本的 V_{CC} 和 V_{CCL} 短接, V_{ISO} 和 V_{ISOIN} 短接。除非有额外说明, 典型值在 $V_{CC} = V_{CCL} = 5V$, $SEL = V_{ISO}$ 条件下测得。

参数	测试条件	最小值	典型值	最大值	单位
t_{PLH}, t_{PHL} 接收传输延时	见图 8-4		50	100	ns
t_{PWD} 脉冲宽度失真 $ t_{PLH} - t_{PHL} $				12	ns
t_r, t_f 输出上升/下降时间			2.5	4	ns
t_{PHZ}, t_{PLZ} 接收器关闭时间	见图 8-5		20	50	ns
t_{PZH}, t_{PZL} 接收器使能时间, $DE = 0V$			30	80	ns

7.10. 典型特性曲线

	
图 7.10-1 器件引脚 A 和 B 之间接不同电阻时的 V_{CC} 平均动态电流 $V_{CC} = 5V$, $V_{ISO} = 5V$, $DR = 500kbps$	图 7.10-2 器件引脚 A 和 B 之间接不同电阻时的 V_{CC} 静态电流 $V_{CC} = 5V$, $V_{ISO} = 5V$, $DI = Low$
	
图 7.10-3 器件引脚 A 和 B 之间接不同电阻时的 V_{CC} 平均动态电流 $V_{CC} = 5V$, $V_{ISO} = 3.3V$, $DR = 500kbps$	图 7.10-4 器件引脚 A 和 B 之间接不同电阻时的 V_{CC} 静态电流 $V_{CC} = 5V$, $V_{ISO} = 3.3V$, $DI = Low$
	
图 7.10-5 器件引脚 A 和 B 之间接不同电阻时的 V_{CC} 平均动态电流 $V_{CC} = 3.3V$, $V_{ISO} = 3.3V$, $DR = 500kbps$	图 7.10-6 器件引脚 A 和 B 之间接不同电阻时的 V_{CC} 静态电流 $V_{CC} = 3.3V$, $V_{ISO} = 3.3V$, $DI = Low$



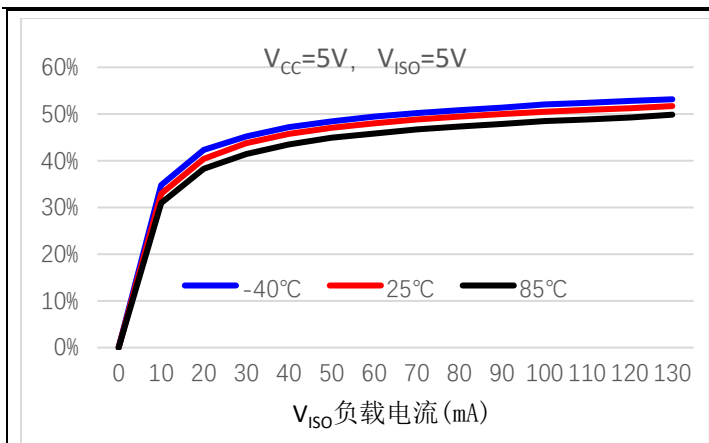


图 7.10-13
不同环境温度下的效率随负载电流的变化
 $V_{CC} = 5V$, $V_{ISO} = 5V$, A 和 B 之间 $R_L = NC$

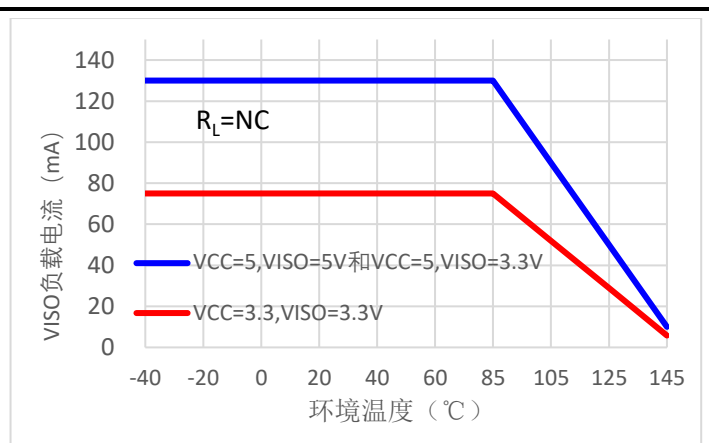


图 7.10-14
 V_{ISO} 最大负载可用电流随器件环境温度的变化
A 和 B 之间 $R_L = NC$, CA-IS2092x 无发送和接收数据

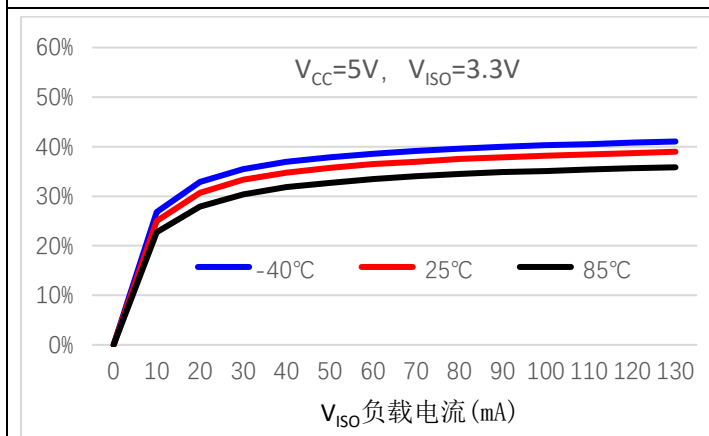


图 7.10-15
不同环境温度下的效率随负载电流的变化
 $V_{CC} = 5V$, $V_{ISO} = 3.3V$, A 和 B 之间 $R_L = NC$

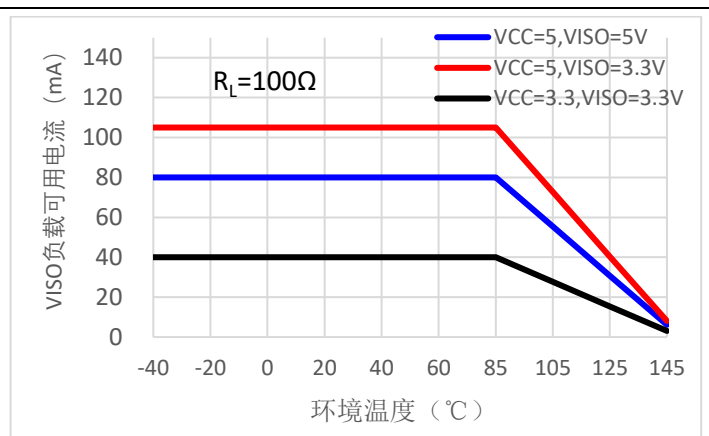


图 7.10-16
 V_{ISO} 最大负载可用电流随器件环境温度的变化
DR = 500kbps, A 和 B 之间 $R_L = 100\Omega$, $C_L = 2nF$

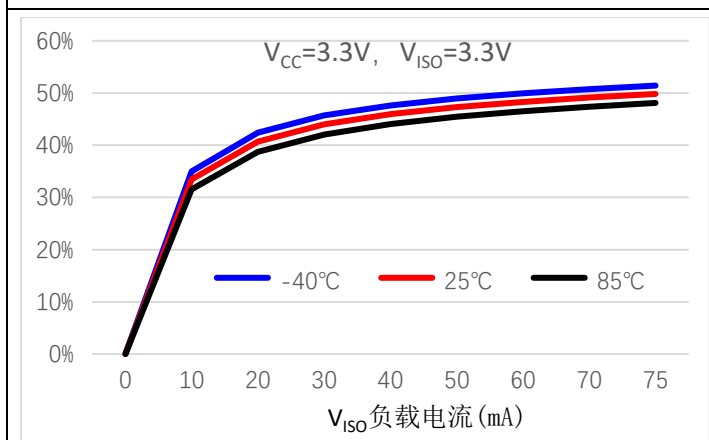


图 7.10-17
不同环境温度下的效率随负载电流的变化
 $V_{CC} = 3.3V$, $V_{ISO} = 3.3V$, A 和 B 之间 $R_L = NC$

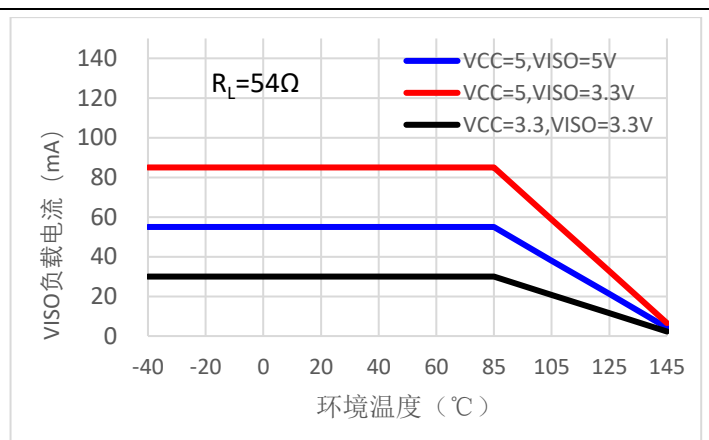
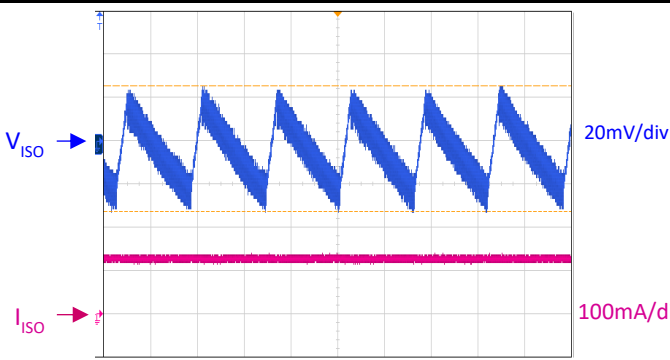
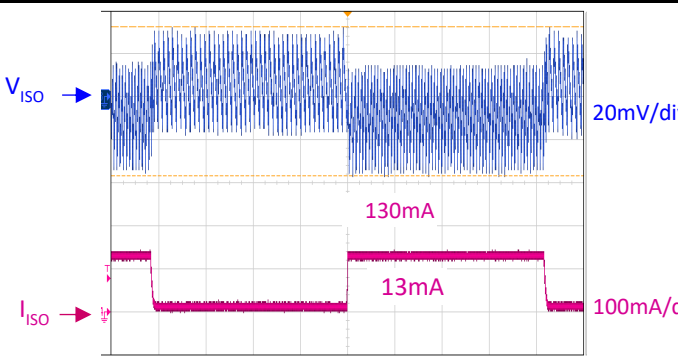
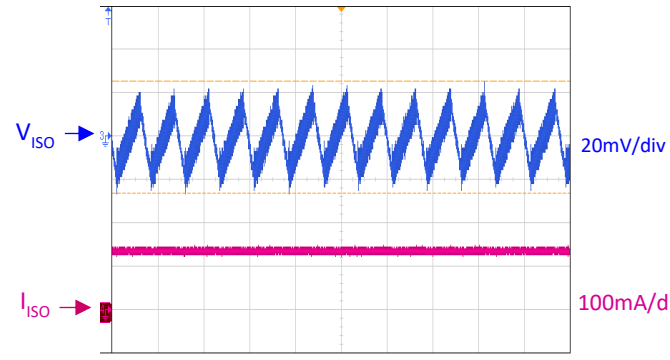
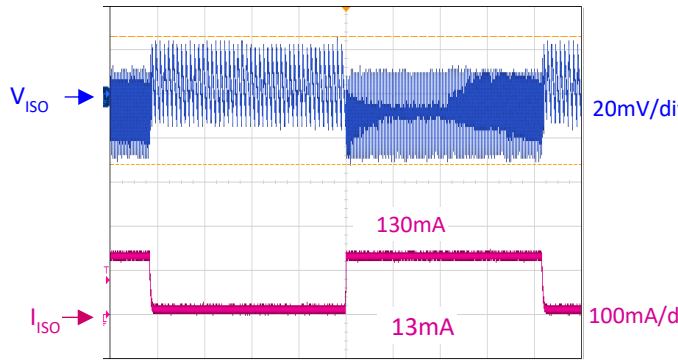
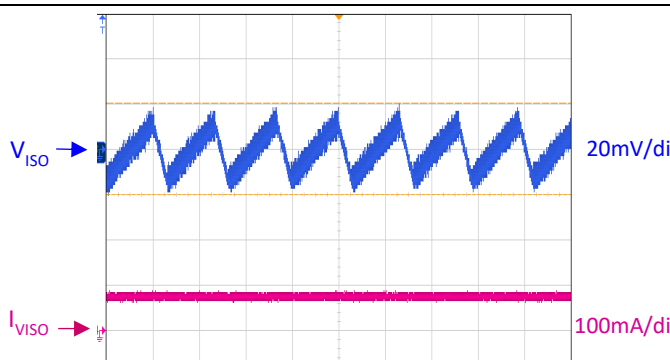
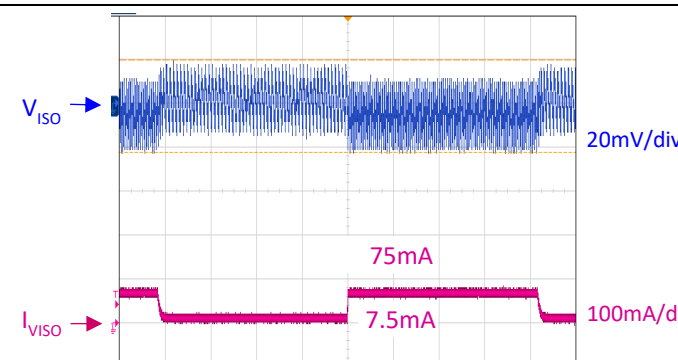


图 7.10-18
 V_{ISO} 最大负载可用电流随器件环境温度的变化
DR = 500kbps, A 和 B 之间 $R_L = 54\Omega$, $C_L = 2nF$

 5µs/div	 120µs/div
图 7.10-19 $V_{CC} = 5V$, $V_{ISO} = 5V$, A 和 B 之间 $R_L = NC$ $I_{ISO} = 130mA$ V_{ISO} 纹波电压峰峰值: 58mV	图 7.10-20 $V_{CC} = 5V$, $V_{ISO} = 5V$, A 和 B 之间 $R_L = NC$ 动态负载电流 I_{ISO}: 13mA 阶跃至 130mA V_{ISO} 纹波电压峰峰值: 68mV
 5µs/div	 120µs/div
图 7.10-21 $V_{CC} = 5V$, $V_{ISO} = 3.3V$, A 和 B 之间 $R_L = NC$ $I_{ISO} = 130mA$ V_{ISO} 纹波电压峰峰值: 51mV	图 7.10-22 $V_{CC} = 5V$, $V_{ISO} = 3.3V$, A 和 B 之间 $R_L = NC$ 动态负载电流 I_{ISO}: 13mA 阶跃至 130mA V_{ISO} 纹波电压峰峰值: 58mV
 5µs/div	 120µs/div
图 7.10-23 $V_{CC} = 3.3V$, $V_{ISO} = 3.3V$, A 和 B 之间 $R_L = NC$ $I_{ISO} = 75mA$ V_{ISO} 纹波电压峰峰值: 40mV	图 7.10-24 $V_{CC} = 3.3V$, $V_{ISO} = 3.3V$, A 和 B 之间 $R_L = NC$ 动态负载电流 I_{ISO}: 7.5mA 阶跃至 75mA V_{ISO} 纹波电压峰峰值: 42mV

8. 参数测试电路

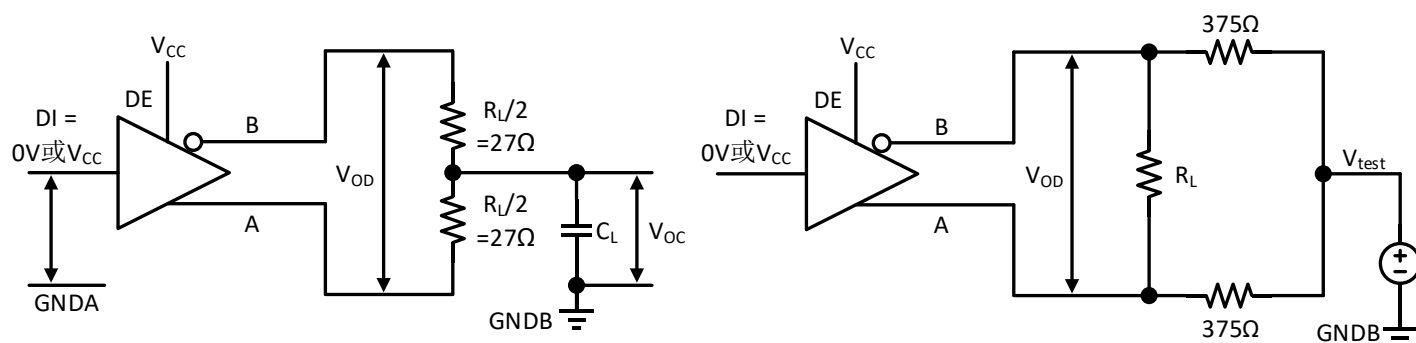


图 8-1 驱动器直流特性测试电路

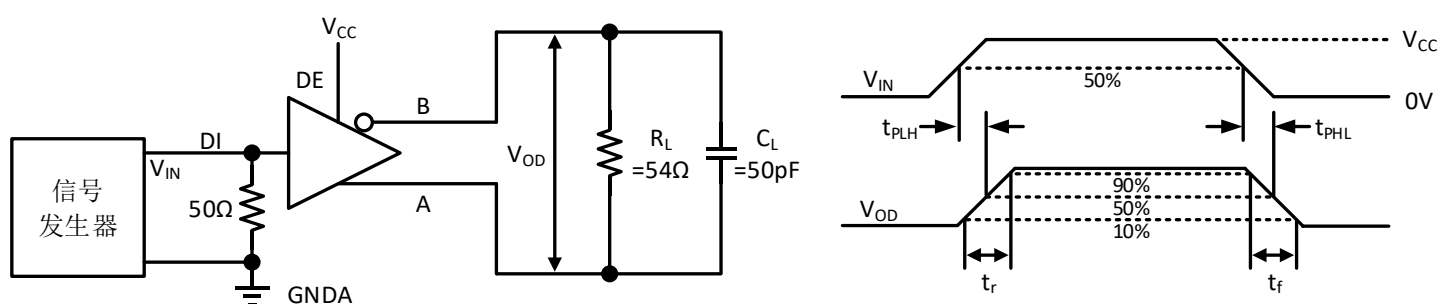


图 8-2 驱动器传输延时测试电路与波形

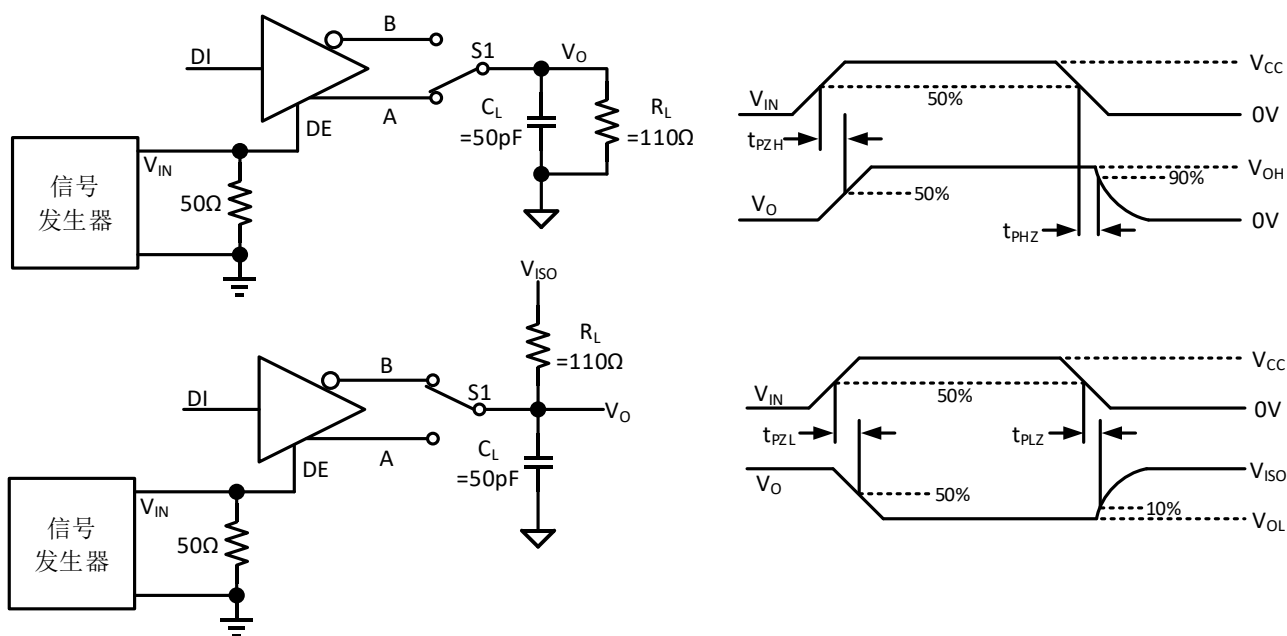


图 8-3 驱动器使能与禁止时间测试电路与波形

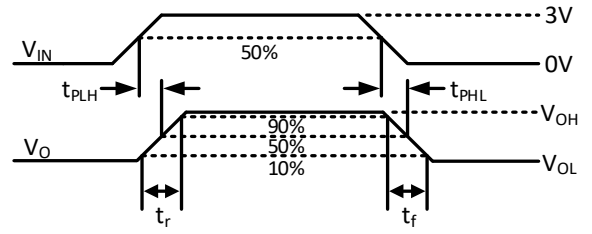
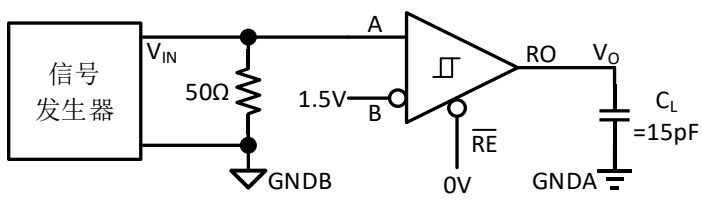


图 8-4 接收器传输延时测试电路与波形

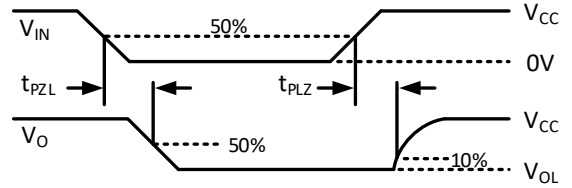
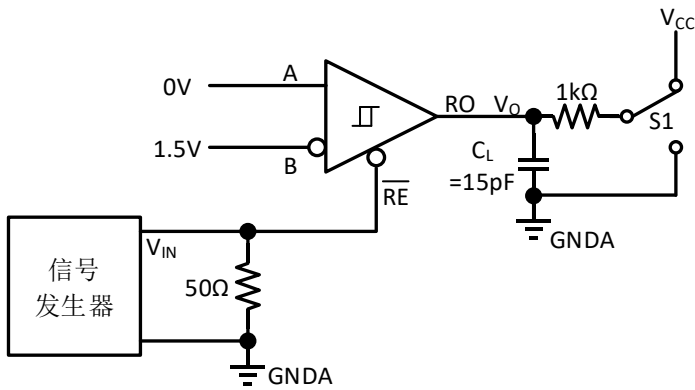
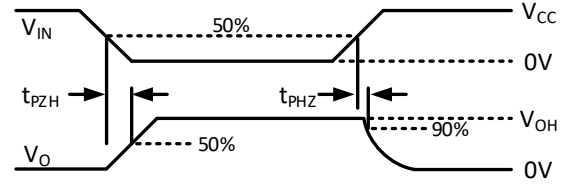
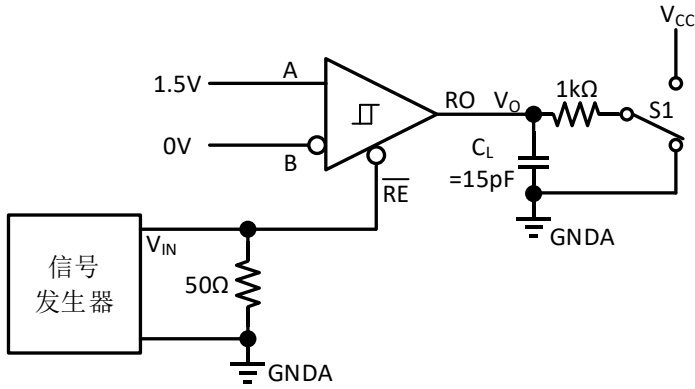


图 8-5 接收器使能与禁止时间测试电路与波形

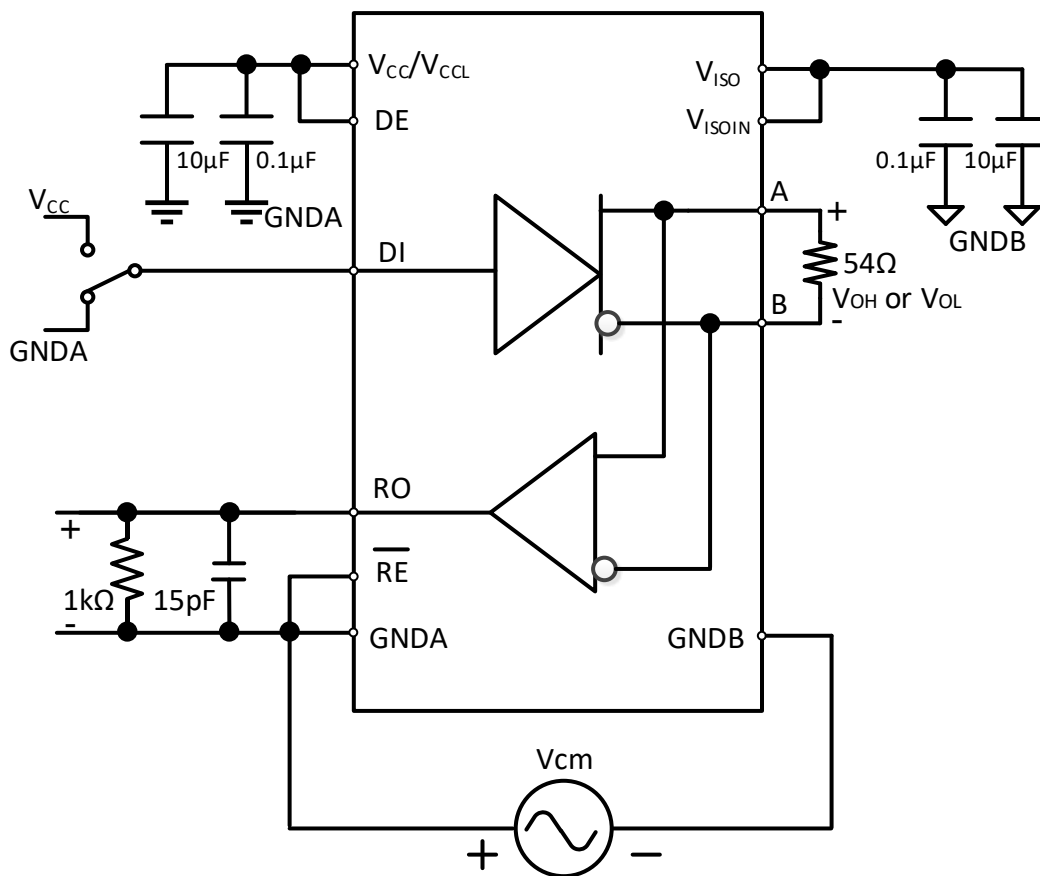


图 8-6 半双工收发器共模抑制比 (CMRR) 测试电路

9. 详细说明

CA-IS2092x 隔离式半双工 RS-485 收发器内部集成低电磁辐射、高效率的隔离式 DC-DC 转换器为总线侧供电，省去了外部隔离电源，同时器件内部的逻辑输入与输出缓冲器之间通过二氧化硅（SiO₂）绝缘栅隔离，采用 5V 或者 3.3V 单电源供电，仅需少数几个旁路电容即可实现完备的信号与电源隔离 RS-485 解决方案。CA-IS2092x 器件可靠的隔离特性、高等级的 ESD 保护能力以及优异的共模瞬态抗扰度能够确保在嘈杂恶劣的环境中实现可靠的数据传输，适用于电机驱动、PLC 通信模块、光伏逆变器等广泛的工业应用场景。该系列收发器通过两种机制避免在发生总线故障或总线冲突时出现大功率消耗：首先是驱动器具有有限流保护功能，即在所允许的共模电压范围内一旦发生输出短路，驱动器输出会限流；其次是热关断保护，一旦检测到器件结温超过热关断阈值，驱动器禁用，降低损耗。CA-IS2092x 器件提供 DC-DC 转换器和 RS-485 收发器供电独立的版本（CA-IS2092VW），便于逻辑侧与低压控制电路的信号交互。

9.1. 逻辑输入

CA-IS2092x 器件的逻辑侧包含三个数字输入：接收器使能控制 $\overline{RE}$ 、驱动器使能控制 DE 和驱动器逻辑输入 DI。其中，驱动器使能控制引脚 DE 在内部下拉至 GND，驱动器逻辑输入 DI 和接收器使能控制 $\overline{RE}$ 引脚在内部上拉至 V_{CC}，等效电路如图 9-1 所示。

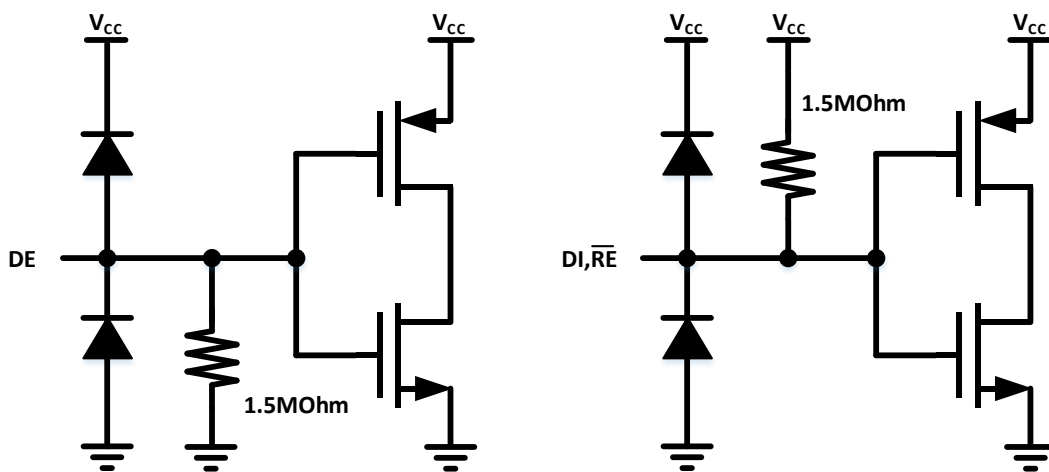


图 9-1 逻辑输入等效电路

9.2. 接收器

RS-485 接收器将来自总线（A 和 B）的差分信号转换为逻辑侧的单端输出，提供给后级的控制器。使能控制信号 $\overline{RE}$ 置为低电平时，接收器使能； $\overline{RE}$ 置为高电平时，接收器禁用。CA-IS2092x 器件接收器真值表如表 9-1 所示。

在接收机使能的情况下，当差分输入电压 $V_{ID} = V_A - V_B$ 大于等于高电平输入阈值 $V_{TH+(IN)}$ 时，接收器输出 RO 变为高电平；当 V_{ID} 小于等于低电平输入阈值 $V_{TH-(IN)}$ 时，接收机输出 RO 变为低电平。如果 V_{ID} 在 $V_{TH+(IN)}$ 和 $V_{TH-(IN)}$ 之间，则 RO 输出不确定。

当接收器禁用时，RO 输出为高阻态。接收器使能控制 $\overline{RE}$ 引脚在内部弱上拉至 V_{CC}（对 CA-IS2092VW 版本则是 V_{CC(L)}），开路时接收器禁用。

当收发器与总线断开连接（开路），总线线路彼此短路或总线空闲时，接收机输入的内部偏置会导致输出 RO 变为故障安全高电平，省去了外部失效保护偏置电阻。

表 9-1 接收器真值表¹

总线差分输入: $V_{ID} = (V_A - V_B)$	接收器使能 ($\overline{RE}$)	接收器输出 (RO)
$V_{TH+(IN)} \leq V_A - V_B$	L	H
$V_{TH-(IN)} < V_A - V_B < V_{TH+(IN)}$	L	不确定
$V_A - V_B \leq V_{TH-(IN)}$	L	L
X	H	Hi-Z
开路/短路/空闲	L	H
X	开路 ²	Hi-Z

注:

1. X = 无关; H = 高电平; L = 低电平; Hi-Z = 高阻。
2. $\overline{RE}$ 内部弱上拉至 V_{CC} (对 CA-IS2092VW 版本则是 V_{CCL})。

9.3. 驱动器

RS-485 驱动器将本地控制器提供的单端输入信号 (DI) 转换成差分输出 (A 和 B), 用于总线信号传输。CA-IS2092x 器件驱动器真值表如表 9-2 所示。驱动器提供输出限流保护和热关断功能。DE 引脚内部弱下拉, 当该引脚开路时, 驱动器禁用。CA-IS2092x 的驱动器输入 DI 引脚内部弱上拉, 当驱动器使能时, 如果 DI 开路, 驱动器输出高电平。

表 9-2 驱动器真值表¹

驱动器逻辑输入	驱动器使能	总线输出	
(DI)	(DE)	A	B
H	H	H	L
L	H	L	H
X	L	Hi-Z	Hi-Z
X	开路 ²	Hi-Z	Hi-Z
开路 ²	H	H	L

注:

1. X = 无关; H = 高电平; L = 低电平; Hi-Z = 高阻。
2. DE 内部弱下拉至 GND, DI 内部弱上拉至 V_{CC} (对 CA-IS2092VW 版本则是 V_{CCL})。

9.4. 欠压保护

CA-IS2092W 器件供电电源 V_{CC} 在不同电压状态下输出引脚状态如下表。

表 9-3 CA-IS2092W 不同电压模式下输出引脚状态¹

电源电压 V_{CC} (V)	A 和 B	RO
PD	高阻	高阻
PU	正常	正常

注:

1. PU = 上电 ($V_{CC} \geq V_{CC(UVLO+)}$); PD = 断电 ($V_{CC} \leq V_{CC(UVLO-)}$)。

CA-IS2092VW 器件有两路供电电源: V_{CC} 和 V_{CCL} , 在不同电压状态下输出引脚状态如下表。

表 9-4 CA-IS2092VW 不同电压模式下输出引脚状态¹

电源电压 V_{CC} (V)	V_{CCL} (V)	A 和 B	RO
PD	PD	高阻	高阻
PD	PU	高阻	高阻
PU	PD	正常	高阻
PU	PU	正常	正常

注:

1. PU = 上电 ($V_{CC/L} \geq V_{CC(UVLO+)}$); PD = 断电 ($V_{CC/L} \leq V_{CC(UVLO-)}$)。

9.5. V_{ISO} 输出电压

如表 9-5 所示, 当 V_{CC} 输入电压为 5V 时, 通过 SEL 引脚的接线方式, V_{ISO} 输出电压可设置为 5V 或者 3.3V; 当 V_{CC} 输入电压为 3.3V 时, V_{ISO} 输出电压只能选择 3.3V, 禁止输出设置为 5V。

表 9-5 V_{ISO} 输出电压真值表¹

电源电压 V_{CC} (V)	SEL ^{2,3}	V_{ISO} (V)
4.5~5.5	短接到 V_{ISO}	5
3.15~3.6	短接到 GNDB	3.3
4.5~5.5	短接到 GNDB	3.3

注:

1. 不建议在工作中将 DC-DC 转换器配置成输出电压 V_{ISO} 高于输入电压 V_{CC} , 例如 $V_{CC} = 3.3V$, SEL 短接至 V_{ISO} 。
2. SEL 引脚内部弱下拉至 GNDB, 对于 $V_{ISO} = 3.3V$, 在较强噪声系统应用场景中, SEL 引脚应该直接短接到 GNDB。
3. 在启动前将 SEL 引脚配置好, 可根据需要连接至 V_{ISO} 或 GNDB, 器件启动过程中禁止改变 SEL 的电平。

9.6. 最大负载可用电流 I_{ISO}

表 9-6 列举了器件在常温下不同输出隔离电压和 A、B 之间接不同负载电阻时最大负载可用电流。当输出电压 V_{ISO} 为 5V 时, 若总线 A 和 B 之间接入 54Ω 电阻, 此时总线端自身消耗的负载电流约为 75mA, V_{ISO} 输出电压最多可以外供 55mA 电流。需要注意的是, 上述电流是在常温 ($T_A = 25^\circ C$) 下的数据, 当温度超过 85°C 时, 最大负载可用电流应适当降低, 请在应用的时候加以考虑, 详见图 7.10-14、图 7.10-16 和图 7.10-18 关于最大负载可用电流随器件环境温度变化的曲线。注意上述图中曲线的前提条件是器件的通讯速率与总线 A 和 B 之间的电容乘积小于 0.5Mbps × 2nF。在实际应用中, 若器件的通讯速率与总线 A 和 B 之间的电容的乘积大于 0.5Mbps × 2nF, 器件本身消耗的电流会增大, 此时应考虑降低 V_{ISO} 可以外供的最大负载电流。

表 9-6 总线带载时不同输出隔离电压 V_{ISO} 的最大负载可用电流 I_{ISO} @ $T_A = 25^\circ C$

电源电压 V_{CC} (V)	V_{ISO} (V)	A 和 B 之间负载 R_L (Ω)	I_{ISO} (mA)
4.5~5.5	5	NC ¹	130
4.5~5.5	3.3		130
3.15~3.6	3.3		75
4.5~5.5	5	100	80
4.5~5.5	3.3		105
3.15~3.6	3.3		40
4.5~5.5	5	54	55
4.5~5.5	3.3		85
3.15~3.6	3.3		30

注:

1. NC 表示总线端 A 和 B 空载。

9.7. 保护功能

9.7.1. 信号隔离与电源隔离

CA-IS2092x 器件内部集成数字隔离器，采用基于开关键控（OOK）调制的电容隔离技术，在逻辑侧与总线侧之间构建高达 3.75kV_{RMS} 的电气隔离，允许两侧电路工作在不同的电源域；内部集成的 DC-DC 转换器则提供电源隔离，可通过配置 SEL 引脚产生 3.3V 或 5V 输出用作总线侧供电，仅需少数几个旁路电容即可形成完备的 RS-485 通信接口，便于进一步简化隔离接口的设计。

9.7.2. 热关断

当 CA-IS2092x 器件的结温超出热关断门限 $T_{J(shutdown)}$ (180°C，典型值) 时， V_{ISO} 输出电压为 0V，驱动器输出进入高阻态。一旦器件结温恢复到正常温度范围 (160°C，典型值)，器件自动退出热关断状态， V_{ISO} 和驱动器输出均恢复到正常状态。

9.7.3. 限流保护

CA-IS2092x 器件的驱动器还提供输出短路保护，在整个共模电压范围内，一旦发生输出短路到正压或负压，驱动器将限制输出电流，此时有可能消耗较大的电源电流使芯片结温升高，触发热关断功能，为输出短路提供了二次防护。

10. 应用信息

10.1. 概述

CA-IS2092x 系列产品提供隔离式半双工 RS-485 收发器，用于支持异步数据传输。对于半双工收发器，用户可以通过驱动器和接收器的使能控制引脚配置收发器的工作模式，确保在任何时刻总线上处于发送状态的节点不会多于一个，以避免总线冲突。CA-IS2092W 器件内部 DC-DC 转换器在工作时会在电源引脚产生较大的峰值电流，为避免 V_{CC} 、 V_{ISO} 电压出现不稳定，建议在每个电源引脚分别使用 $0.1\mu\text{F}$ 和 $10\mu\text{F}$ 的去耦电容。CA-IS2092VW 版本的 V_{CCL} 和 V_{ISOIN} 分别是逻辑侧和总线侧的 RS-485 收发器的电源引脚，与内部 DC-DC 转换器的输入 V_{CC} 和输出电压 V_{ISOIN} 分开，建议分别对 $GNDA$ 和 $GNDB$ 接 $1\mu\text{F}$ 电容，稳定供电电压。典型应用电路如图 10-1，图中终端匹配电阻 R_T 安装在总线的主机端和距离最远的节点处，该电阻的值应该与电缆的特性阻抗 Z_0 相匹配，通常为 120Ω 。为确保 CA-IS2092x 器件正常启动，建议在 CA-IS2092x 器件的上电过程中，驱动器不要进行数据发送，等上电结束后再进行正常的的数据发送。

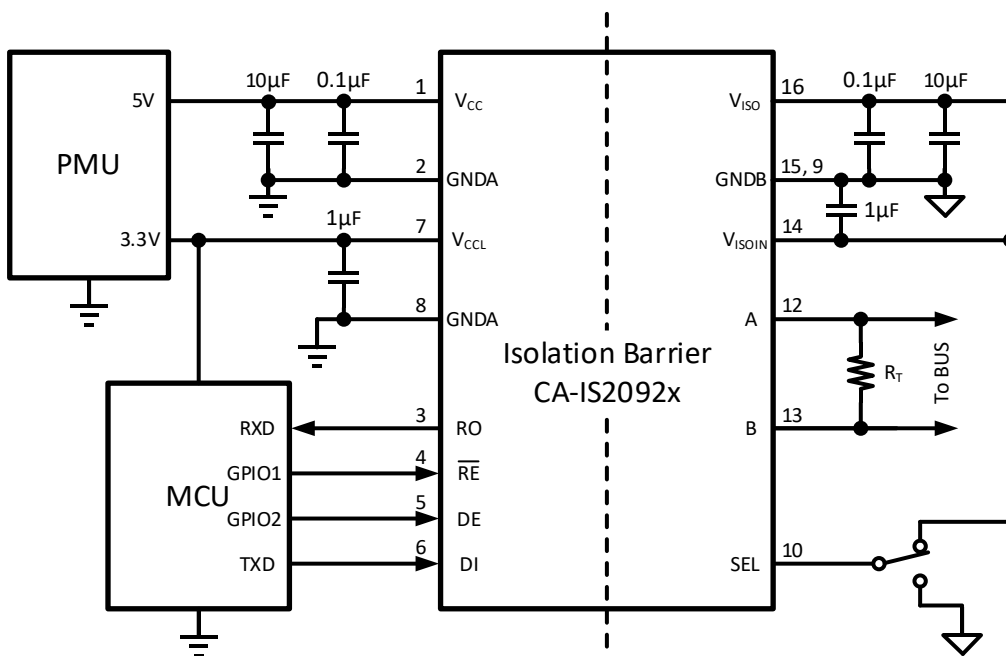


图 10-1 典型应用电路

10.2. 典型应用

RS-485 总线是在同一总线上并行连接多个收发器，实现多节点间的远距离数据传输。图 10-2 是典型的半双工 RS-485 通信网络配置。

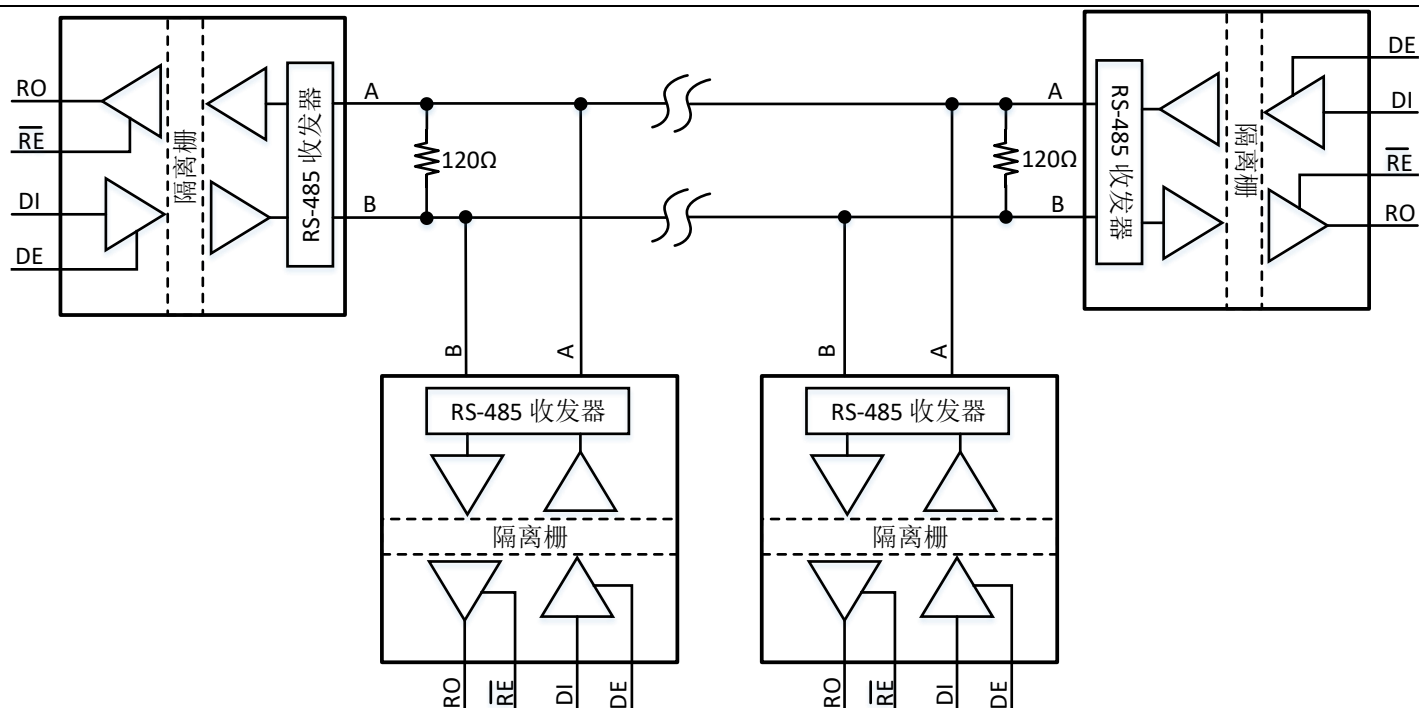


图 10-2 典型半双工 RS-485 通信网络

在实际应用中，RS-485 通信网络的最高数据速率和最远传输距离均受限于所使用的电缆、总线上的负载、节点数、网络拓扑等因素，在实际设计中需要考虑信号在电缆上的传输损耗、时间延迟、网络不匹配/不平衡、节点间的地电位差等因素，为网络配置留出一定的裕量。为降低信号反射，在总线网络中需要考虑匹配问题，通常在总线相距最远的两个端点接匹配电阻，阻值为双绞线的特征阻抗（ Z_0 ），典型值为 120Ω 。分支节点与总线的距离应尽可能短。

10.3. 256 个总线节点

RS-485 总线允许挂接的最大收发器的个数取决于系统的总体负载，任何器件连接到总线上时都将引入额外的总线负载。RS-485 总线负载通常以“单位负载”计量，根据 RS-485 标准，一对特征阻抗为 120Ω （或更大）的双绞线，总线上可以挂接 32 个接收器阻抗为“单位负载”的收发器，单位负载阻抗为 $12k\Omega$ 。CA-IS2092x 系列器件的接收器输入阻抗为 $1/8$ 单位负载，即 $96k\Omega$ ，一对通信总线上允许挂接的收发器数量可以达到 $32 \times 8 = 256$ 个。

10.4. PCB 布板

为确保器件在任何数据速率下可靠工作，建议在 V_{CC} 与 $GNDA$ 、 V_{ISO} 与 $GNDB$ 之间外接不小于 $10\mu F$ 的去耦电容。电容应紧靠器件相应的电源引脚放置。实际应用中，输入和输出电容为 $10\mu F$ 和 $0.1\mu F$ 电容并联，且 $0.1\mu F$ 电容靠近芯片引脚摆放，距离控制在 $2mm$ 以内。

PCB 板上输入、输出电容和芯片必须放在芯片同一层，不要将电容和芯片放在不同层并且通过过孔相连。CA-IS2092VW 的 V_{CCL} 和 V_{ISOIN} 分别是逻辑侧和总线侧的 RS-485 收发器的电源引脚，需要分别对 $GNDA$ 和 $GNDB$ 接 $1\mu F$ 电容，其中 V_{CCL} 可以使用不同于 V_{CC} 的外部独立电源，也可以和 V_{CC} 共用一个外部电源，图 10-3 展示了 CA-IS2092VW 的 V_{CCL} 和 V_{CC} 共用一个电源时的 PCB 布线。

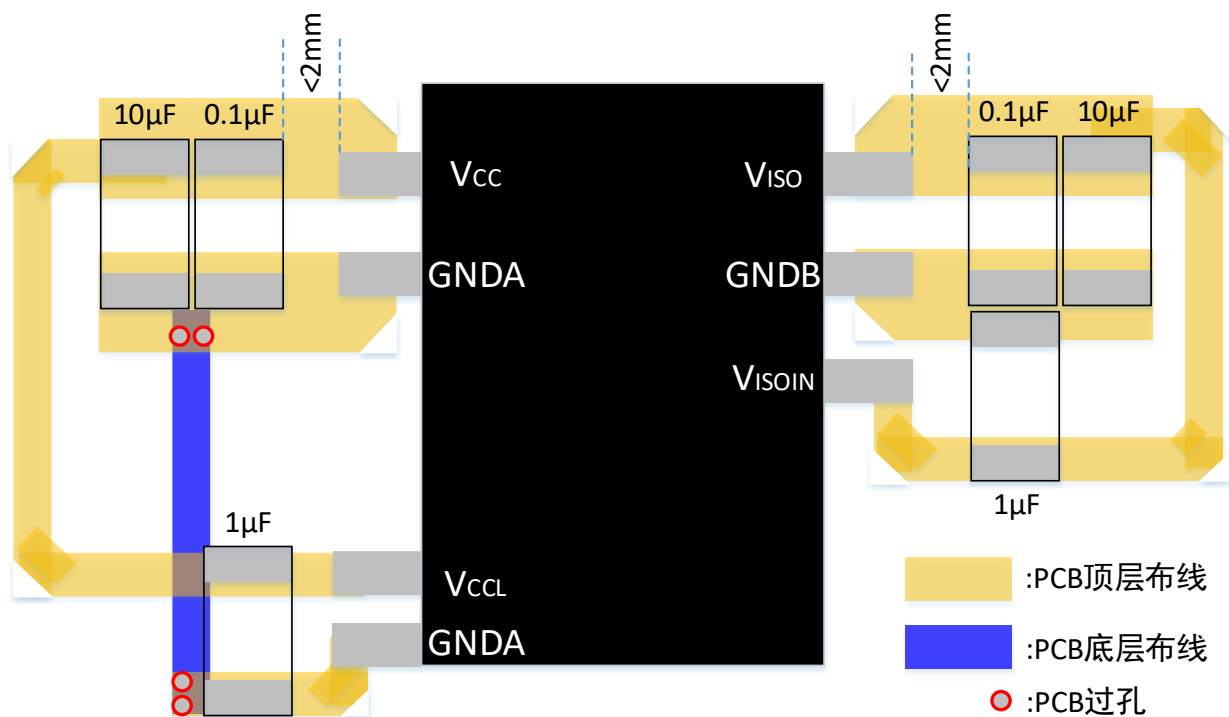


图 10-3 推荐 PCB 电源部分走线

11. 封装信息

10.20
10.40

7.40
7.60

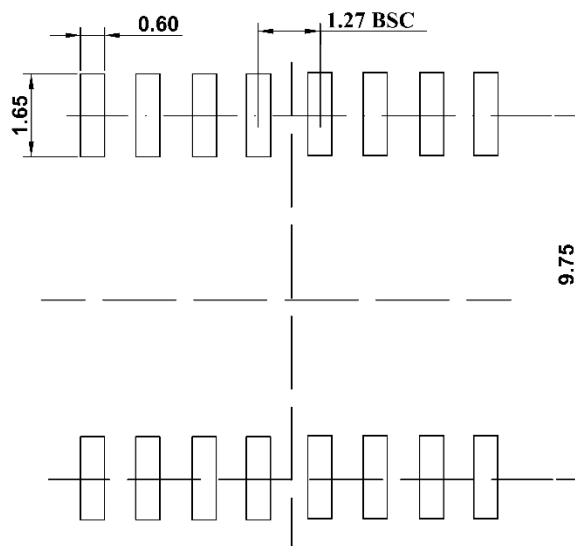
10.10
10.50

PIN 1

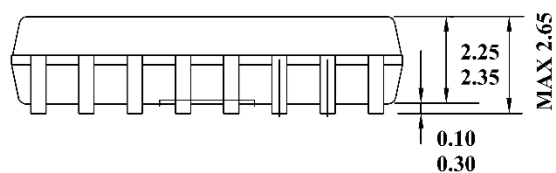
1.27 BSC

0.35
0.43

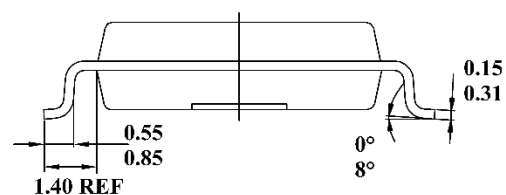
TOP VIEW



RECOMMENDED LAND PATTERN



FRONT VIEW



LEFT SIDE VIEW

12. 焊接信息

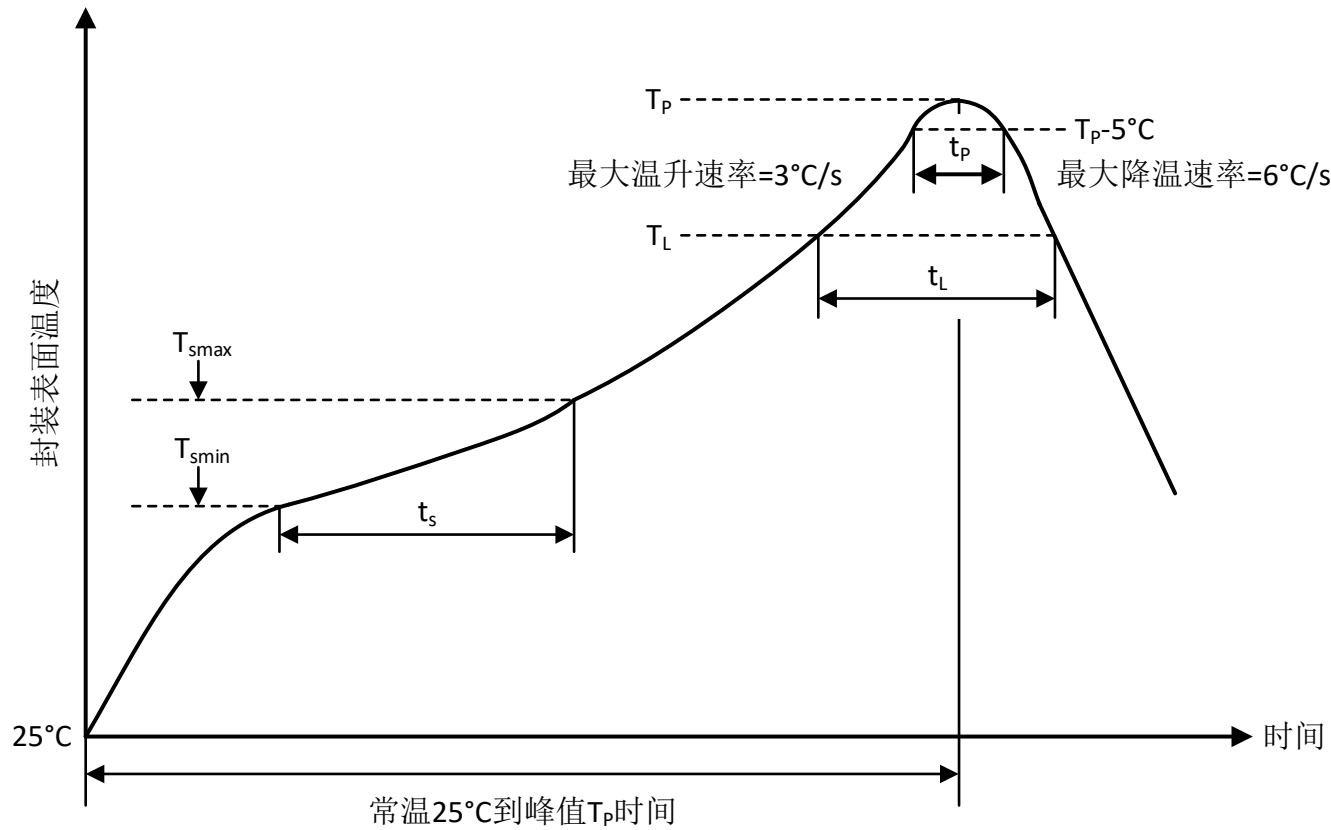
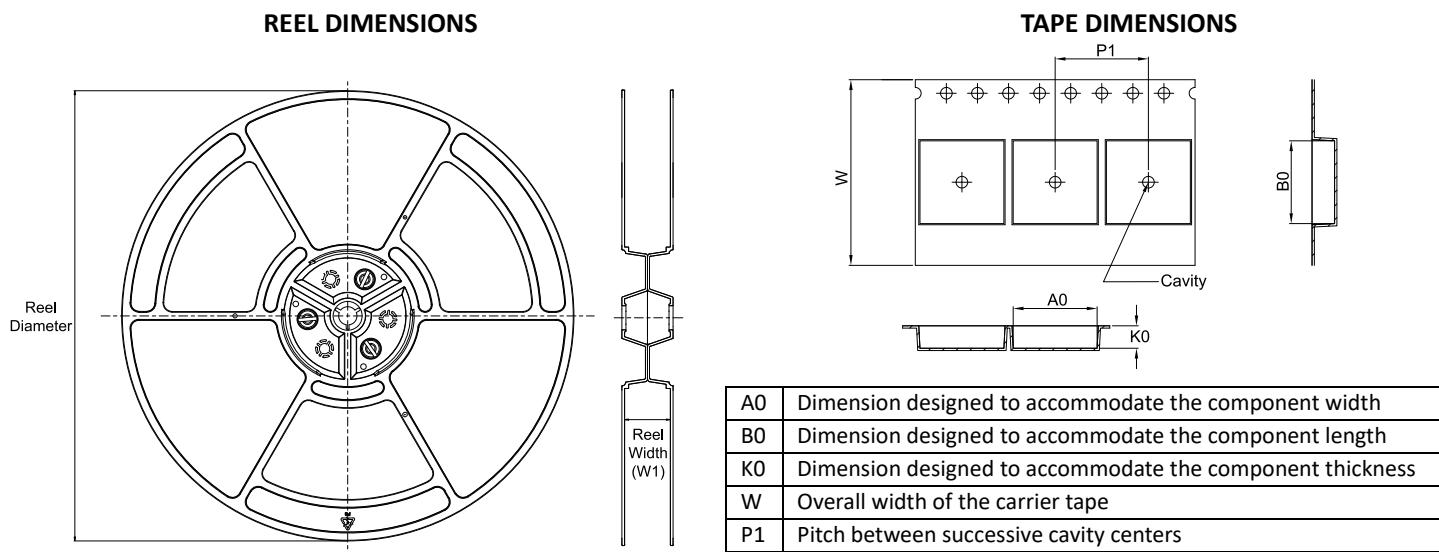


图 12-1 焊接温度曲线

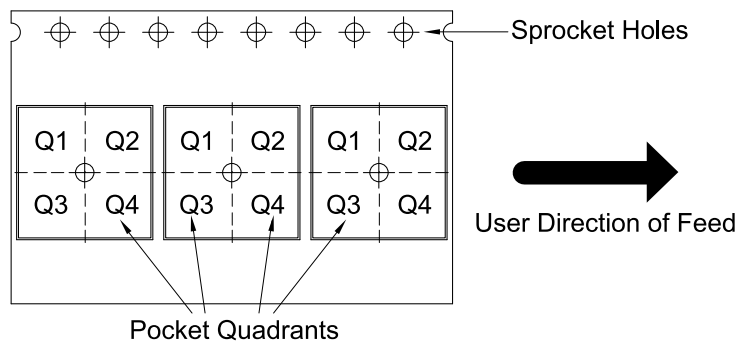
表 12-1 焊接温度参数

简要说明	无铅焊接
升温速率（ $T_L=217^{\circ}\text{C}$ 至峰值 T_P ）	最大 3°C/s
$T_{smin}=150^{\circ}\text{C}$ 到 $T_{smax}=200^{\circ}\text{C}$ 预热时间 t_s	60~120 秒
温度保持 217°C 以上时间 t_L	60~150 秒
峰值温度 T_P	260°C
小于峰值温度 5°C 以内时间 t_p	最长 30 秒
降温速率（峰值 T_P 至 $T_L=217^{\circ}\text{C}$ ）	最大 6°C/s
常温 25°C 到峰值温度 T_P 时间	最长 8 分钟

13. 卷带信息



QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IS2092W	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1
CA-IS2092VW	SOIC	W	16	1000	330	16.4	10.9	10.7	3.2	12.0	16.0	Q1

14. 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>