CA-IS36xx 高性能，5kV$_{RMS}$ 隔离耐压，集成高效率、低辐射 DC-DC 转换器的数字隔离器

1 产品特性

- 信号传输速率：DC~100Mbps
- 施密特触发器输入
- 默认输出：高电平和低电平可选
- 可选的独立逻辑电源供电
- 低传播延时：10ns（典型值）
- 高 CMTI：±150kV/μs（典型值）
- 宽输入电压范围：3V~5.5V
- 宽工作温度范围：–40°C~125°C
- 集成高效率、低辐射的 DC-DC 转换器
  - 输出电压可选：3.3V 或 5V
  - 高达 650mW 的输出功率
  - 内置软启动电路来防止浪涌电流和输出过冲
  - 过载和短路保护功能
  - 热关断保护功能
- 优异的电磁兼容性（EMC）
  - 低辐射
- 优异的隔离性能
  - 高达 5kV$_{RMS}$ 的隔离电压
  - 额定工作电压下隔离栅寿命：>40 年
- 符合 RoHS 标准封装
  - SOIC16-WB
- 安规认证
  - DIN V VDE 0884-17:2021-10 认证
  - 根据 UL 1577 的 UL 认证
  - 根据 GB4943.1-2022 的 CQC 认证
  - TUV 认证

2 应用

- 工业自动化控制系统
- 电机控制
- 医疗设备
- 测试和测量
- 隔离 ADC, DAC

3 概述

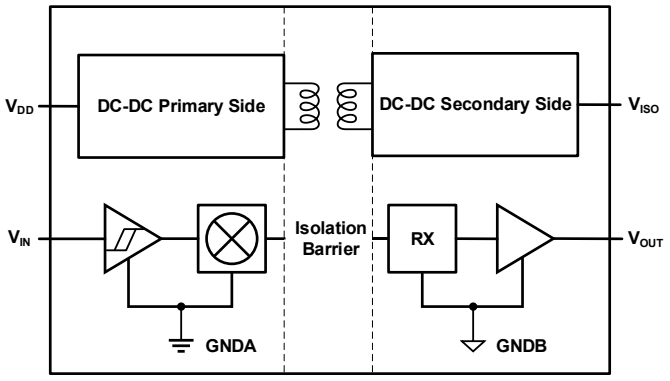
CA-IS36xx 器件是川土微电子数字隔离器系列中集成 DC-DC 转换器并且具有增强隔离耐压等级的器件。CA-IS36xx 的出现可替代传统用分立器件组建的隔离电源方案，能够有效节省系统空间并简化设计，实现完整的信号和电源隔离。

CA-IS3620/CA-IS3621 是双通道数字隔离器，其最后一位数字代表反向通道数，如图 7-1 所示。CA-IS3640/CA-IS3641/CA-IS3642/CA-IS3643/CA-IS3644 是四通道数字隔离器，其最后一位数字代表反向通道数，如图 7-2 所示。所有器件都具有故障安全输出特性，如果输入信号丢失，以 L 为后缀的器件默认输出为低电平，以 H 为后缀的器件默认输出为高电平。此外，后缀中有 V 的器件具有独立的逻辑电压供电，用户可以根据应用情况分别选取不同的 DC-DC 转换器电源电压和逻辑电源电压。

器件信息

零件号	封装	封装尺寸（标称值）
CA-IS362x CA-IS364x	SOIC16-WB (W)	10.30mm × 7.50mm

简化通道结构图



Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

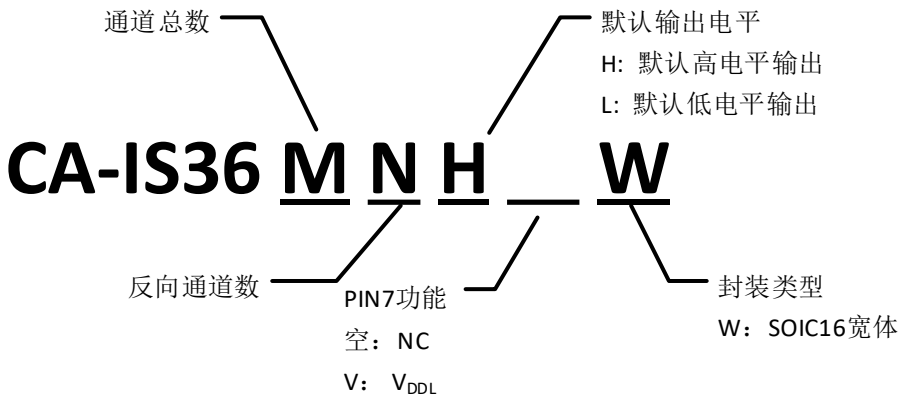
4 订购指南

表 4-1 有效订购器件型号

型号	正向通道数 A 侧	反向通道数 B 侧	故障安全输出状态	PIN7 功能	额定耐压（kV_{RMS}）	封装
CA-IS3620LW	2	0	低	NC	5	SOIC16-WB
CA-IS3621LW	1	1	低	NC	5	SOIC16-WB
CA-IS3640LW	4	0	低	NC	5	SOIC16-WB
CA-IS3640HW	4	0	高	NC	5	SOIC16-WB
CA-IS3641LW	3	1	低	NC	5	SOIC16-WB
CA-IS3641HW	3	1	高	NC	5	SOIC16-WB
CA-IS3642LW	2	2	低	NC	5	SOIC16-WB
CA-IS3642HW	2	2	高	NC	5	SOIC16-WB
CA-IS3643LW	1	3	低	NC	5	SOIC16-WB
CA-IS3643HW	1	3	高	NC	5	SOIC16-WB
CA-IS3644LW	0	4	低	NC	5	SOIC16-WB
CA-IS3644HW	0	4	高	NC	5	SOIC16-WB
CA-IS3621LVW	1	1	低	V_{DDL}	5	SOIC16-WB
CA-IS3640LVW	4	0	低	V_{DDL}	5	SOIC16-WB
CA-IS3640HVW	4	0	高	V_{DDL}	5	SOIC16-WB
CA-IS3641LVW	3	1	低	V_{DDL}	5	SOIC16-WB
CA-IS3641HVW	3	1	高	V_{DDL}	5	SOIC16-WB
CA-IS3642LVW	2	2	低	V_{DDL}	5	SOIC16-WB
CA-IS3642HVW	2	2	高	V_{DDL}	5	SOIC16-WB
CA-IS3643LVW	1	3	低	V_{DDL}	5	SOIC16-WB
CA-IS3643HVW	1	3	高	V_{DDL}	5	SOIC16-WB
CA-IS3644LVW	0	4	低	V_{DDL}	5	SOIC16-WB
CA-IS3644HVW	0	4	高	V_{DDL}	5	SOIC16-WB

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

5 命名规则



Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

目录

1 产品特性 1
2 应用 1
3 概述 1
4 订购指南 2
5 命名规则 3
6 修订历史 4
7 引脚功能描述 5
8 产品规格 7
8.1 绝对最大额定值 [1, 2] 7
8.2 ESD 额定值 7
8.3 推荐工作条件 7
8.4 热阻信息 7
8.5 额定功率 7
8.6 隔离特性 8
8.7 安全相关认证 9
8.8 电气特性 10
8.8.1 5V 输入，5V 输出 10
8.8.2 5V 输入，3.3V 输出 11
8.8.3 3.3V 输入，3.3V 输出 12
8.9 供电电流 13
8.9.1 5V 输入，5V 输出 13
8.9.2 5V 输入，3.3V 输出 15
8.9.3 3.3V 输入，3.3V 输出 17
8.10 时序特性 19
8.10.1 5V 输入，5V 输出 19
8.10.2 5V 输入，3.3V 输出 19
8.10.3 3.3V 输入，3.3V 输出 20
8.11 特性曲线图 21
9 参数测量信息 26
10 详细说明 27
10.1 工作原理 27
10.2 功能框图 27
10.3 欠压保护 28
10.4 V_{ISO} 输出电压 29
10.5 最大负载可用电流 I_{ISO} 29
10.6 数字信号真值表 30
11 应用信息 31
11.1 典型应用 31
11.2 PCB 布板 33
12 封装信息 34
13 焊接信息 35
14 卷带信息 36
15 重要声明 38

6 修订历史

修订版本号	修订内容	修订时间	页码
Version 1.00	NA	--	NA
Version 1.01	更新引脚说明，删除封装信息表	--	5，32
Version 1.02	新增输入输出电容使用建议以及布线建议	--	31
Version 1.03	新增 PCB 布线章节，输入输出电容布板方式	--	33
Version 1.04	1. 新增料号 CA-IS364xxVW 料号 2. 更新典型特性曲线 3. 新增 10.3 V_{ISO} 输出电压和 10.4 最大负载可用电流 I_{ISO} 说明 4. 更新 PCB 布线建议章节，新增实例	--	2 21-25 28-29 33
Version 1.05	1. 新增 UL 和 VDE 信息 2. 更新 POD	2022.12.19	9 34
Version 1.06	删除 CA-IS3621LW 以外其他 CA-IS362x 料号	2023.03.14	NA
Version 1.07	更新 VDE 认证信息	2023.09.13	9
Version 1.08	更新 UL 和 CQC 认证信息	2024.04.01	9
Version 1.09	更新隔离特性和安全相关认证	2025.01.06	8-9

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

7 引脚功能描述

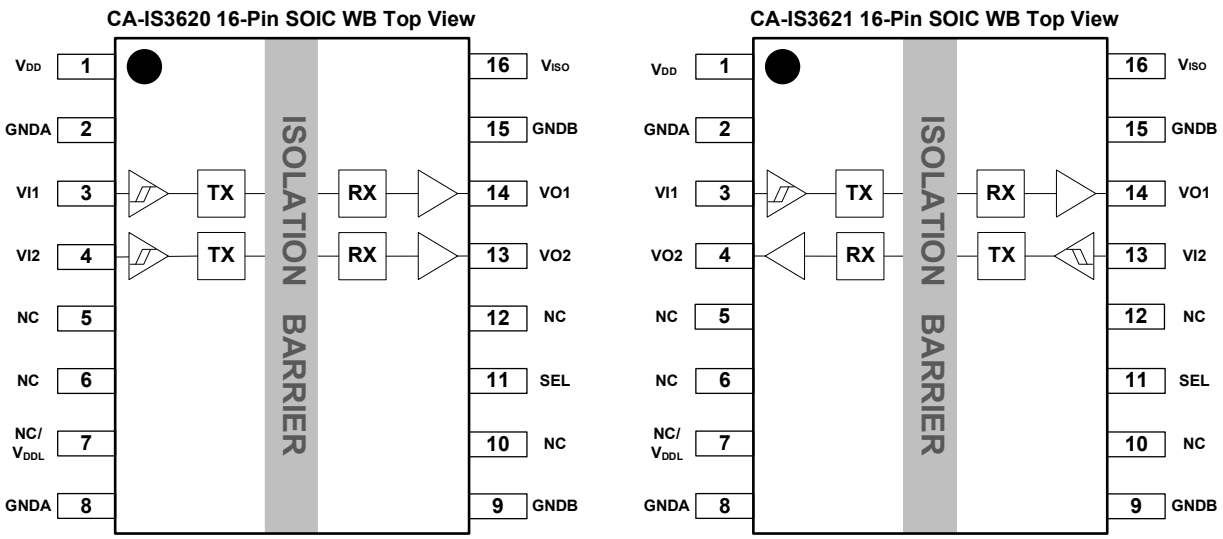


图 7-1 CA-IS362x 顶部视图

表 7-1 CA-IS362x 引脚功能描述

引脚名称	引脚编号	类型	描述
V_{DD}	1	电源	A 侧电源，为内部 DC-DC 转换器供电，对于 CA-IS36xxW 而言，决定 A 侧输入判决阈值和输出电平；对于 CA-IS36xxVW 而言，A 侧输入判决阈值和输出电平由 V_{DDL} 决定。在 V_{DD} 与 GNDA 之间外接 0.1μF 和 10μF 旁路电容，电容需靠近电源引脚安装，间距小于 2mm。
GNDA	2	地	A 侧接地基准点。
VI1	3	逻辑输入/输出	CA-IS3620/21 A 侧逻辑输入。
VI2/VO2	4	逻辑输入/输出	CA-IS3620 A 侧逻辑输入或 CA-IS3621 A 侧逻辑输出。
NC	5	无	无内部连接。
NC	6	无	无内部连接。
NC/V_{DDL}[1]	7	无/电源	对于 CA-IS362xxW 而言，无内部连接； 对于 CA-IS362xxVW 而言，逻辑电源，决定了 A 侧输入判决阈值和输出电平。
GNDA	8	地	A 侧接地基准点。
GNDB	9	地	B 侧接地基准点。
NC	10	无	无内部连接。
SEL[2]	11	逻辑输入	V_{ISO} 输出电压选择引脚。
NC	12	无	无内部连接。
VI2/VO2	13	逻辑输入/输出	CA-IS3620 B 侧逻辑输出或 CA-IS3621 B 侧逻辑输入。
VO1	14	逻辑输出	CA-IS3620/21 B 侧逻辑输出。
GNDB	15	地	B 侧接地基准点。
V_{ISO}	16	输出电压	由 SEL 引脚决定的隔离输出电压。在 V_{ISO} 与 GNDB 之间外接 0.1μF 和 10μF 旁路电容，电容需靠近电源引脚安装，间距小于 2mm。

备注：

1. 逻辑电源电压 V_{DDL} 可以与 A 侧电源电压 V_{DD} 不同。
2. 当 SEL 引脚连接到 V_{ISO} 引脚，V_{ISO} = 5V；当 SEL 引脚连接到 GNDB 或者悬空，V_{ISO} = 3.3V。SEL 引脚的真值表如表 10-1 所示。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

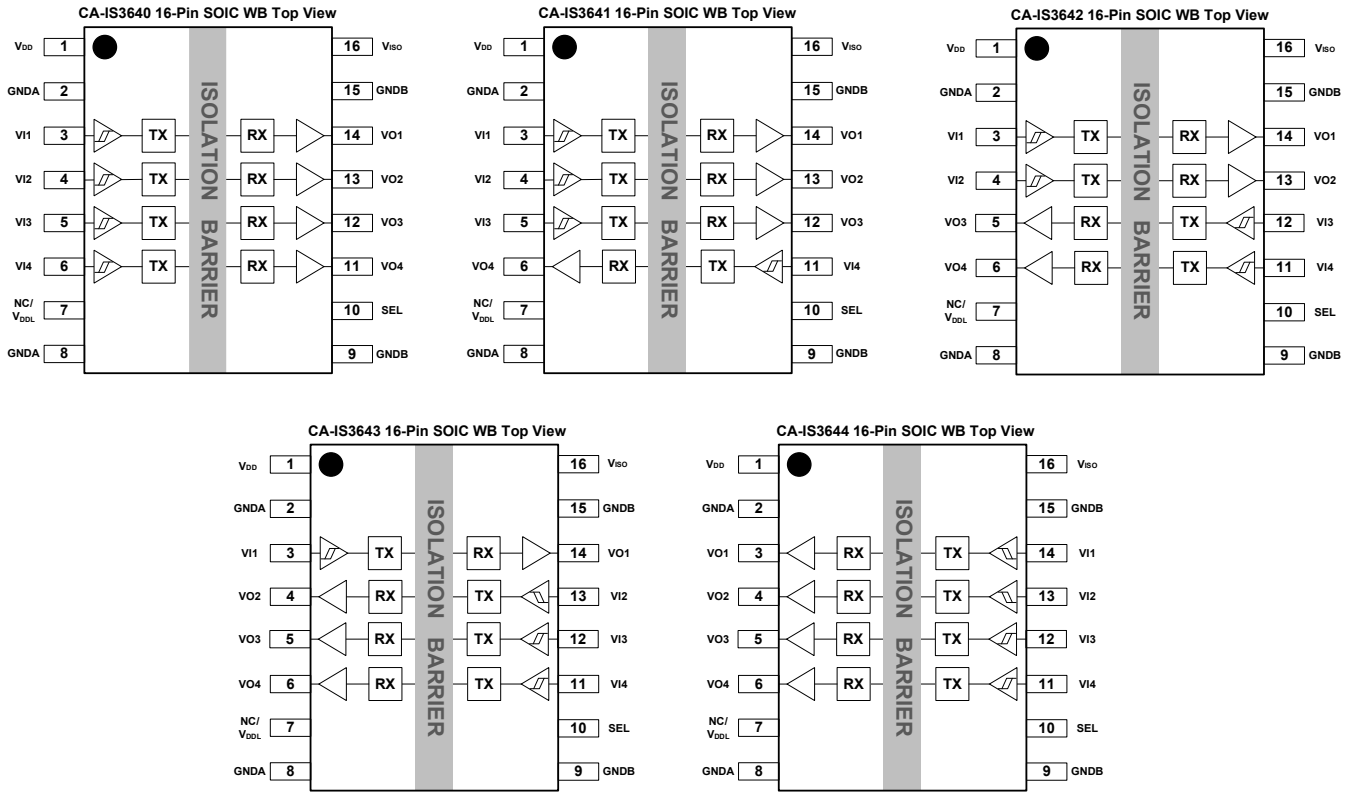


图 7-2 CA-IS364x 顶部视图

表 7-2 CA-IS364x 引脚功能描述

引脚名称	引脚编号		类型	描述
	CA-IS364xx	CA-IS364xxV		
V_{DD}	1	1	电源	A 侧电源电压。
GNDA	2	2	地	A 侧接地基准点。
VI1/VO1	3	3	逻辑输入/输出	CA-IS3640/41/42/43 A 侧逻辑输入或 CA-IS3644 A 侧逻辑输出。
VI2/VO2	4	4	逻辑输入/输出	CA-IS3640/41/42 A 侧逻辑输入或 CA-IS3643/44 A 侧逻辑输出。
VI3/VO3	5	5	逻辑输入/输出	CA-IS3640/41 A 侧逻辑输入或 CA-IS3642/43/44 A 侧逻辑输出。
VI4/VO4	6	6	逻辑输入/输出	CA-IS3640 A 侧逻辑输入或 CA-IS3641/42/43/44 A 侧逻辑输出。
NC	7	--	无	无内部连接。
V_{DDL}[1]	--	7	电源	逻辑电源，决定了 A 侧输入判决阈值和输出电平 。
GNDA	8	8	地	A 侧接地基准点。
GNDB	9	9	地	B 侧接地基准点。
SEL[2]	10	10	逻辑输入	V_{ISO} 输出电压选择引脚。
VI4/VO4	11	11	逻辑输入/输出	CA-IS3641/42/43/44 B 侧逻辑输入或 CA-IS3640 B 侧逻辑输出。
VI3/VO3	12	12	逻辑输入/输出	CA-IS3642/43/44 B 侧逻辑输入或 CA-IS3640/41 B 侧逻辑输出。
VI2/VO2	13	13	逻辑输入/输出	CA-IS3643/44 B 侧逻辑输入或 CA-IS3640/41/42 B 侧逻辑输出。
VI1/VO1	14	14	逻辑输入/输出	CA-IS3644 B 侧逻辑输入或 CA-IS3640/41/42/43 B 侧逻辑输出。
GNDB	15	15	地	B 侧接地基准点。
V_{ISO}	16	16	输出电压	由 SEL 引脚决定的隔离输出电压。

备注:

1. 逻辑电源电压 V_{DDL} 可以与 A 侧电源电压 V_{DD} 不同。
2. 当 SEL 引脚连接到 V_{ISO} 引脚，V_{ISO} = 5V；当 SEL 引脚连接到 GNDB 或者悬空，V_{ISO} = 3.3V。SEL 引脚的真值表如表 10-1 所示。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

8 产品规格

8.1 绝对最大额定值 [1, 2]

参数		最小值	最大值	单位
V_{DD}，V_{DDL}	电源电压	–0.5	6.0	V
V_{ISO}	隔离输出电压	–0.5	6.0	V
V_{IN}	输入电压 VIx，SEL	–0.5	V_{DD} + 0.5[3]	V
I_O	输出电流@VOx	–20	20	mA
T_J	结温		150	°C
T_{STG}	存储温度	–65	150	°C

备注:
1. 等于或超出上述绝对最大额定值可能会导致产品永久性损坏，长期在超出最大额定值条件下工作会影响产品的可靠性。
2. 除差分 I/O 总线电压以外的所有电压值，均相对于本地接地端子（GNDA 或 GNDB），并且是峰值电压值。
3. 最大电压不得超过 6V，V_{DD} 为和该引脚处于同一侧的电压。

8.2 ESD 额定值

参数		数值	单位
V_{ESD} 静电放电	人体模型（HBM）， 基于 ANSI/ESDA/JEDEC JS-001，A 侧引脚对 GNDA， B 侧引脚对 GNDB。	±6000	V
	组件充电模式（CDM），基于 JEDEC 规范 JESD22-C101， 所有引脚。	±2000	

8.3 推荐工作条件

参数			最小值	典型值	最大值	单位
V_{DD}	逻辑侧电源电压		3.15	5	5.5	V
V_{DDL}	逻辑侧逻辑电源电压		2.375		5.5	V
I_{OH}	高电平输出电流	V_{DDO}[1] = 5.0V	–4			mA
		V_{DDO}[1] = 3.3V	–2			
I_{OL}	低电平输出电流	V_{DDO}[1] = 5.0V			4	mA
		V_{DDO}[1] = 3.3V			2	
V_{IH}	输入阈值逻辑高电平		2.0			V
V_{IL}	输入阈值逻辑低电平				0.8	V
DR	信号传输速率		0		100	Mbps
T_A	环境温度		–40	25	125	°C

备注:
1. V_{DDO}：输出侧供电电压。

8.4 热阻信息

热量表		SOIC16-WB (W)	单位
$R_{\theta JA}$	IC 结至环境的热阻	68.5	°C/W

8.5 额定功率

参数		测试条件	最小值	典型值	最大值	单位
P_D	最大功耗	V_{DD} = V_{DDL} = 5.5V，V_{ISO} = 5V， 负载电流 130mA，所有数字通道输入 100Mbps，50% 占空比方波，通道输出负载电容 15pF			1	W

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

8.6 隔离特性

参数		测试条件	数值	单位
CLR	外部气隙（间隙）[1]	测量输入端至输出端，隔空最短距离	8	mm
CPG	外部爬电距离 [1]	测量输入端至输出端，沿壳体最短距离	8	mm
DTI	隔离距离	最小内部间隙(内部距离)	28	μm
CTI	相对漏电指数	DIN EN 60112 (VDE 0303-11)；IEC 60112	> 600	V
	材料组	根据 IEC 60664-1	I	
	IEC 60664-1 过压类别	额定市电电压≤ 300V_{RMS}	I-IV	
		额定市电电压≤ 600V_{RMS}	I-IV	
		额定市电电压 ≤ 1000V_{RMS}	I-III	
DIN EN IEC 60747-17 (VDE 0884-17)[2]				
V_{IORM}	最大重复峰值隔离电压	交流电压（双极）	1414	V_{PK}
V_{IOWM}	最大工作隔离电压	交流电压；时间相关的介质击穿（TDDB）测试	1000	V_{RMS}
		直流电压	1414	V_{DC}
V_{IOTM}	最大瞬态隔离电压	$V_{TEST} = V_{IOTM}$， t = 60s（认证） $V_{TEST} = 1.2 \times V_{IOTM}$ t= 1s（100% 量产测试）	7070	V_{PK}
V_{IMP}	最大脉冲电压	测试方法根据 IEC 62368-1，1.2/50μs 波形	8700	V_{PK}
V_{IOSM}	最大浪涌隔离电压 [3]	测试方法根据 IEC 62368-1，1.2/50μs 波形， $V_{IOSM} \geq 1.3 \times V_{IMP}$，在油中测试（认证）	11312	V_{PK}
q_{pd}	表征电荷 [4]	方法 a，输入/输出安全测试子类 2/3 后， $V_{ini} = V_{IOTM}$，t_{ini} = 60s $V_{pd(m)} = 1.2 \times V_{IORM}$，$t_m$ = 10s	≤ 5	pC
		方法 a，环境测试子类 1 后， $V_{ini} = V_{IOTM}$，t_{ini} = 60s $V_{pd(m)} = 1.6 \times V_{IORM}$，$t_m$ = 10s	≤ 5	pC
		方法 b1，常规测试 （100% 量产测试）和前期预处理（抽样测试） $V_{ini} = 1.2 \times V_{IOTM}$，$t_{ini}$ = 1s $V_{pd(m)} = 1.875 \times V_{IORM}$，$t_m$ = 1s	≤ 5	pC
C_{IO}	栅电容，输入到输出 [5]	V_{IO} = 0.4 × sin (2πft)，f = 1MHz	~ 3.5	pF
R_{IO}	绝缘阻抗	V_{IO} = 500 V，T_A = 25°C	> 10^{12}	Ω
		V_{IO} = 500 V，100°C ≤ T_A ≤ 125°C	> 10^{11}	
		V_{IO} = 500 V，T_S = 150°C	> 10^9	
	污染度		2	
UL 1577				
V_{ISO}	最大隔离电压	$V_{TEST} = V_{ISO}$， t = 60s（认证） $V_{TEST} = 1.2 \times V_{ISO}$，t = 1s（100% 量产测试）	5000	V_{RMS}

备注:

1. 根据应用的特定设备隔离标准应用爬电距离和间隙要求。 注意保持电路板设计的爬电距离和间隙距离，以确保印刷电路板上隔离器的安装焊盘不会缩短该距离。 在某些情况下印刷电路板上的爬电距离和间隙变得相等。 诸如在印刷电路板上插入凹槽的技术用于帮助增加这些规格。
2. 这种耦合器只适用于在最大工作额定值范围内的基本电气绝缘。应通过适当的保护电路确保符合安全额定值。
3. 测试在空气或油中进行，以确定隔离屏障的固有浪涌抗扰度。
4. 表征电荷是由局部放电引起的放电电荷（pd）。
5. 栅两侧的所有引脚连接在一起，形成双端子器件。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

8.7 安全相关认证

VDE	UL	CQC	TUV
根据 DIN EN IEC 60747-17 (VDE 0884-17):2021-10; EN IEC 60747-17:2020+AC:2021 认证	根据 UL 1577 器件认可程序认证	根据 GB4943.1-2022 认证	根据 EN 61010-1 和 EN 62368-1 认证
加强绝缘 V_{IORM}: 1414V_{PK} V_{IOTM}: 7070V_{PK} V_{IOSM}: 11312V_{PK}	单一绝缘保护 5000V_{RMS}	加强绝缘 （仅适用于海拔 5000 米及以下）	EN 61010-1: 5000V_{RMS} EN 62368-1: 5000V_{RMS}
证书编号： 40057278	证书编号： E511334	证书编号： CQC23001406424	客户参考编号： 2253313

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

8.8 电气特性

8.8.1 5V 输入，5V 输出

测试时 SEL 引脚短接到 V_{ISO} 引脚，CA-IS36xxVW 版本的 V_{DD} 和 V_{DDL} 短接。除非有额外说明，本表格数据均为推荐工作条件下的测试结果。

参数		测试条件	最小值	典型值	最大值	单位
V_{ISO}	隔离输出电压	I_{ISO} = 0 到 130mA	4.75	5	5.25	V
I_{ISO}	最大负载可用电流 [1]	各个通道信号传输速率 DR<1Mbps		130		mA
		CA-IS3644LW/CA-IS3644LVW/ CA-IS3644HW/CA-IS3644HVW 各个通道信号传输速率 DR = 100Mbps		120		
		CA-IS3621LW/CA-IS3621LVW/ CA-IS3643LW/CA-IS3643LVW/ CA-IS3643HW/CA-IS3643HVW 各个通道信号传输速率 DR = 100Mbps		110		
		CA-IS3620LW/ CA-IS3642LW/CA-IS3642LVW/ CA-IS3642HW/CA-IS3642HVW 各个通道信号传输速率 DR = 100Mbps		100		
		CA-IS3641LW/CA-IS3641LVW/ CA-IS3641HW/CA-IS3641HVW 各个通道信号传输速率 DR = 100Mbps		90		
		CA-IS3640LW/CA-IS3640LVW/ CA-IS3640HW/CA-IS3640HVW 各个通道信号传输速率 DR = 100Mbps		80		
$V_{ISO(LINE)}$	直流线性调整率	I_{ISO} = 50mA，V_{DD} = 4.5 到 5.5V		2		mV/V
$V_{ISO(LOAD)}$	直流负载调整率	I_{ISO} = 0 到 130mA		1%		
EFF	最大负载电流时的效率	I_{ISO} = 130mA，C_{LOAD} = 0.1μF || 10μF； V_I = V_{DDI} [2] (CA-IS36xxL)；V_I = 0V (CA-IS36xxH)		53%		
$V_{DD(UVLO+)}$	电源上升过程的欠压保护阈值			2.75	3.05	V
$V_{DD(UVLO-)}$	电源下降过程的欠压保护阈值		2.0	2.35		V
$V_{HYS(UVLO)}$	电源欠压保护阈值迟滞			0.40		V
I_{IH}	输入高电平漏电流	V_{IH} = V_{DDI} [2] @ VIx 或 SEL			20	μA
I_{IL}	输入低电平漏电流	V_{IL} = 0V @ VIx 或 SEL	–20			μA
V_{OH}	输出电压逻辑高电平	I_{OL} = –4mA；见图 9-1	V_{DDO} [2] – 0.4	V_{DDO} [2] – 0.2		V
V_{OL}	输出电压逻辑低电平	I_{OL} = 4mA；见图 9-1		0.2	0.4	V
CMTI	共模瞬变抗扰度	V_I = V_{DDI} [2] 或 0V，V_{CM} = 1500V；见图 9-2	100	150		kV/μs
I_{SCC_SC}	V_{ISO} 发生短路时的电源电流	V_{ISO} 引脚短路到 GNDB		50		mA
$V_{ISO(RIP)}$	输出隔离电压纹波（峰峰值）			60		mV

注:

1. 最大负载可用电流是随着每个通道的信号传输速率的增加而降低的，表中列举在器件各个通道的信号传输速率 1Mbps 以下和 100Mbps 时的最大负载可用电流；当 T_A>85°C 时，最大负载可用电流应适当降低，请参考图 8.11-11、图 8.11-12、图 8.11-13、图 8.11-14、图 8.11-15 和图 8.11-16 V_{ISO} 最大负载可用电流随器件环境温度的变化。
2. V_{DDI} = 输入侧供电电压，V_{DDO} = 输出侧供电电压。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

8.8.2 5V 输入，3.3V 输出

测试时 SEL 引脚短接到 GNDB 引脚，CA-IS36xxVW 版本的 V_{DD} 和 V_{DDL} 短接。除非有额外说明，本表格数据均为推荐工作条件下的测试结果。

参数		测试条件	最小值	典型值	最大值	单位
V_{ISO}	隔离输出电压	I_{ISO} = 0 到 130mA	3.13	3.3	3.47	V
I_{ISO}	最大负载可用电流 [1]	各个通道信号传输速率 DR<1Mbps		130		mA
		CA-IS3644LW/CA-IS3644LVW/ CA-IS3644HW/CA-IS3644HVW 各个通道信号传输速率 DR = 100Mbps		120		
		CA-IS3621LW/CA-IS3621LVW/ CA-IS3643LW/CA-IS3643LVW/ CA-IS3643HW/CA-IS3643HVW 各个通道信号传输速率 DR = 100Mbps		110		
		CA-IS3620LW/ CA-IS3642LW/CA-IS3642LVW/ CA-IS3642HW/CA-IS3642HVW 各个通道信号传输速率 DR = 100Mbps		100		
		CA-IS3641LW/CA-IS3641LVW/ CA-IS3641HW/CA-IS3641HVW 各个通道信号传输速率 DR = 100Mbps		90		
		CA-IS3640LW/CA-IS3640LVW/ CA-IS3640HW/CA-IS3640HVW 各个通道信号传输速率 DR = 100Mbps		80		
$V_{ISO(LINE)}$	直流线性调整率	I_{ISO} = 50mA，V_{DD} = 4.5 到 5.5V		2		mV/V
$V_{ISO(LOAD)}$	直流负载调整率	I_{ISO} = 0 到 130mA		1%		
EFF	最大负载电流时的效率	I_{ISO} = 130mA，C_{LOAD} = 0.1μF || 10μF； V_I = V_{DDI}[2] (CA-IS36xxL)；V_I = 0V (CA-IS36xxH)		42%		
$V_{DD(UVLO+)}$	电源上升过程的欠压保护阈值			2.75	3.05	V
$V_{DD(UVLO-)}$	电源下降过程的欠压保护阈值		2.0	2.35		V
$V_{HYS(UVLO)}$	电源欠压保护阈值迟滞			0.4		V
I_{IH}	输入高电平漏电流	V_{IH} = V_{DDI}[2] @ VIx 或 SEL			20	μA
I_{IL}	输入低电平漏电流	V_{IL} = 0V @ VIx 或 SEL	–20			μA
V_{OH}	输出电压逻辑高电平	I_{OL} = –4mA；见图 9-1	V_{DDO}[2] – 0.4	V_{DDO}[2] – 0.2		V
V_{OL}	输出电压逻辑低电平	I_{OL} = 4mA；见图 9-1		0.2	0.4	V
CMTI	共模瞬变抗扰度	V_I = V_{DDI}[2] 或 0V，V_{CM} = 1500V；见图 9-2	100	150		kV/μs
I_{SCC_SC}	V_{ISO} 发生短路时的电源电流	V_{ISO} 引脚短路到 GNDB		50		mA
$V_{ISO(RIP)}$	输出隔离电压纹波（峰峰值）			50		mV

注：

1. 最大负载可用电流是随着每个通道的信号传输速率的增加而降低的，表中列举在器件各个通道的信号传输速率 1Mbps 以下和 100Mbps 时的最大负载可用电流；当 T_A>85°C 时，最大负载可用电流应适当降低，请参考图 8.11-11、图 8.11-12、图 8.11-13、图 8.11-14、图 8.11-15 和图 8.11-16 V_{ISO} 最大负载可用电流随器件环境温度的变化。
2. V_{DDI} = 输入侧供电电压，V_{DDO} = 输出侧供电电压。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

8.8.3 3.3V 输入，3.3V 输出

测试时 SEL 引脚短接到 GNDB 引脚，CA-IS36xxVW 版本的 V_{DD} 和 V_{DDL} 短接。除非有额外说明，本表格数据均为推荐工作条件下的测试结果。

参数		测试条件	最小值	典型值	最大值	单位
V_{ISO}	隔离输出电压	I_{ISO} = 0 到 75mA	3.13	3.3	3.47	V
I_{ISO}	最大负载可用电流 [1]	各个通道信号传输速率 DR<1Mbps		75		mA
		CA-IS3644LW/CA-IS3644LVW/ CA-IS3644HW/CA-IS3644HVW 各个通道信号传输速率 DR = 100Mbps		65		
		CA-IS3621LW/CA-IS3621LVW/ CA-IS3643LW/CA-IS3643LVW/ CA-IS3643HW/CA-IS3643HVW 各个通道信号传输速率 DR = 100Mbps		60		
		CA-IS3620LW/ CA-IS3642LW/CA-IS3642LVW/ CA-IS3642HW/CA-IS3642HVW 各个通道信号传输速率 DR = 100Mbps		55		
		CA-IS3641LW/CA-IS3641LVW/ CA-IS3641HW/CA-IS3641HVW 各个通道信号传输速率 DR = 100Mbps		50		
		CA-IS3640LW/CA-IS3640LVW/ CA-IS3640HW/CA-IS3640HVW 各个通道信号传输速率 DR = 100Mbps		45		
$V_{ISO(LINE)}$	直流线性调整率	I_{ISO} = 50mA，V_{DD} = 3 到 3.6V		2		mV/V
$V_{ISO(LOAD)}$	直流负载调整率	I_{ISO} = 0 到 75mA		1%		
EFF	最大负载电流时的效率	I_{ISO} = 75mA，C_{LOAD} = 0.1μF || 10μF； $V_I = V_{DDI}$[2] (CA-IS36xxL)；V_I = 0V (CA-IS36xxH)		47%		
$V_{DD(UVLO+)}$	电源上升过程的欠压保护阈值			2.75	3.05	V
$V_{DD(UVLO-)}$	电源下降过程的欠压保护阈值		2.1	2.35		V
$V_{HYS(UVLO)}$	电源欠压保护阈值迟滞			0.4		V
I_{IH}	输入高电平漏电流	$V_{IH} = V_{DDI}$[2]@ VIx 或 SEL			20	μA
I_{IL}	输入低电平漏电流	V_{IL} = 0V @ VIx 或 SEL	–20			μA
V_{OH}	输出电压逻辑高电平	I_{OL} = –4mA；见图 9-1	V_{DDO}[2] – 0.4	V_{DDO}[2] – 0.2		V
V_{OL}	输出电压逻辑低电平	I_{OL} = 4mA；见图 9-1		0.2	0.4	V
CMTI	共模瞬变抗扰度	V_I = V_{DDI}[2] 或 0V，V_{CM} = 1500V；见图 9-2	100	150		kV/μs
I_{SCC_SC}	V_{ISO} 发生短路时的电源电流	V_{ISO} 引脚短路到 GNDB		36		mA
$V_{ISO(RIP)}$	输出隔离电压纹波（峰峰值）			45		mV

注:

1. 最大负载可用电流是随着每个通道的信号传输速率的增加而降低的，表中列举在器件各个通道的信号传输速率 1Mbps 以下和 100Mbps 时的最大负载可用电流；当 T_A>85°C 时，最大负载可用电流应适当降低，请参考图 8.11-11、图 8.11-12、图 8.11-13、图 8.11-14、图 8.11-15 和图 8.11-16 V_{ISO} 最大负载可用电流随器件环境温度的变化。
2. V_{DDI} = 输入侧供电电压，V_{DDO} = 输出侧供电电压。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

8.9 供电电流

8.9.1 5V 输入，5V 输出

测试时 SEL 引脚短接到 V_{ISO} 引脚，CA-IS36xxVW 版本的 V_{DD} 和 V_{DDL} 短接。除非有额外说明，本表格数据均为推荐工作条件下的测试结果。

参数		测试条件	最小值	典型值	最大值	单位
CA-IS3620						
I_{DD}[2]	电源供电电流	无外部负载电流；V_I = 0V (CA-IS3620H)；V_I = V_{DDI}[1] (CA-IS3620L)		12	18	mA
		没有外部 I_{LOAD}；V_I = 0V (CA-IS3620L)；V_I = V_{DDI}[1] (CA-IS3620H)		10	15	
		每个通道输入 1Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		12	18	
		每个通道输入 10Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		24	36	
		每个通道输入 100Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		56	84	
CA-IS3621						
I_{DD}[2]	电源供电电流	无外部负载电流； V_I = V_{DDI}[1] (CA-IS3621L)		13	19	mA
		没有外部 I_{LOAD}；V_I = 0V (CA-IS3621L)		9	14	
		每个通道输入 1Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		11	17	
		每个通道输入 10Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		23	35	
		每个通道输入 100Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		42	63	
CA-IS3640						
I_{DD}[2]	电源供电电流	无外部负载电流；V_I = 0V (CA-IS3640H)；V_I = V_{DDI}[1] (CA-IS3640L)		17	26	mA
		没有外部 I_{LOAD}；V_I = 0V (CA-IS3640L)；V_I = V_{DDI}[1] (CA-IS3640H)		13	20	
		每个通道输入 1Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		16	24	
		每个通道输入 10Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		22	33	
		每个通道输入 100Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		76	115	

备注:

1. V_{DDI} 为和该引脚处于同一侧的电压；
2. CA-IS36xxVW 系列芯片，其第 7 引脚为 V_{DDL}，表格中的 I_{DD} 电流值指的是流过 V_{DD} 和 V_{DDL} 的总电流。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

5V 输入，5V 输出（续）

参数		测试条件	最小值	典型值	最大值	单位
CA-IS3641						
I_{DD}[2]	电源供电电流	无外部负载电流；V_I = 0V (CA-IS3641H)；V_I = V_{DDI}[1] (CA-IS3641L)		19	29	mA
		没有外部 I_{LOAD}；V_I = 0V (CA-IS3641L)；V_I = V_{DDI}[1] (CA-IS3641H)		13	20	
		每个通道输入 1Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		16	24	
		每个通道输入 10Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		22	33	
		每个通道输入 100Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		66	99	
CA-IS3642						
I_{DD}[2]	电源供电电流	无外部负载电流；V_I = 0V (CA-IS3642H)；V_I = V_{DDI}[1] (CA-IS3642L)		18	27	mA
		没有外部 I_{LOAD}；V_I = 0V (CA-IS3642L)；V_I = V_{DDI}[1] (CA-IS3642H)		13	20	
		每个通道输入 1Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		15	23	
		每个通道输入 10Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		20	30	
		每个通道输入 100Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		62	93	
CA-IS3643						
I_{DD}[2]	电源供电电流	无外部负载电流；V_I = 0V (CA-IS3643H)；V_I = V_{DDI}[1] (CA-IS3643L)		18	27	mA
		没有外部 I_{LOAD}；V_I = 0V (CA-IS3643L)；V_I = V_{DDI}[1] (CA-IS3643H)		13	20	
		每个通道输入 1Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		16	24	
		每个通道输入 10Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		20	30	
		每个通道输入 100Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		62	93	
CA-IS3644						
I_{DD}[2]	电源供电电流	无外部负载电流；V_I = 0V (CA-IS3644H)；V_I = V_{DDI}[1] (CA-IS3644L)		18	27	mA
		没有外部 I_{LOAD}；V_I = 0V (CA-IS3644L)；V_I = V_{DDI}[1] (CA-IS3644H)		13	20	
		每个通道输入 1Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		14	21	
		每个通道输入 10Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		17	26	
		每个通道输入 100Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		45	68	

备注:

1. V_{DDI} 为和该引脚处于同一侧的电压；
2. CA-IS36xxVW 系列芯片，其第 7 引脚为 V_{DDL}，表格中的 I_{DD} 电流值指的是流过 V_{DD} 和 V_{DDL} 的总电流。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

8.9.2 5V 输入，3.3V 输出

测试时 SEL 引脚短接到 GNDB 引脚，CA-IS36xxVW 版本的 V_{DD} 和 V_{DDL} 短接。除非有额外说明，本表格数据均为推荐工作条件下的测试结果。

参数		测试条件	最小值	典型值	最大值	单位
CA-IS3620						
I_{DD}[2]	电源供电电流	无外部负载电流；V_I = 0V (CA-IS3620H)；V_I = V_{DDI}[1] (CA-IS3620L)		11	17	mA
		没有外部 I_{LOAD}：V_I = 0V (CA-IS3620L)；V_I = V_{DDI}[1] (CA-IS3620H)		9	14	
		每个通道输入 1Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		10	15	
		每个通道输入 10Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		18	27	
		每个通道输入 100Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		34	51	
CA-IS3621						
I_{DD}[2]	电源供电电流	无外部负载电流； V_I = V_{DDI}[1] (CA-IS3621L)		12	18	mA
		没有外部 I_{LOAD}：V_I = 0V (CA-IS3621L)；		9	14	
		每个通道输入 1Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		9	14	
		每个通道输入 10Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		16	24	
		每个通道输入 100Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		32	48	
CA-IS3640						
I_{DD}[2]	电源供电电流	无外部负载电流；V_I = 0V (CA-IS3640H)；V_I = V_{DDI}[1] (CA-IS3640L)		15	23	mA
		没有外部 I_{LOAD}：V_I = 0V (CA-IS3640L)；V_I = V_{DDI}[1] (CA-IS3640H)		11	18	
		每个通道输入 1Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		13	19	
		每个通道输入 10Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		17	26	
		每个通道输入 100Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		50	75	

备注:

1. V_{DDI} 为和该引脚处于同一侧的电压；
2. CA-IS36xxVW 系列芯片，其第 7 引脚为 V_{DDL}，表格中的 I_{DD} 电流值指的是流过 V_{DD} 和 V_{DDL} 的总电流。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

5V 输入，3.3V 输出（续）

参数	测试条件	最小值	典型值	最大值	单位
CA-IS3641					
I_{DD}[2] 电源供电电流	无外部负载电流；V_I = 0V (CA-IS3641H)；V_I = V_{DDI}[1] (CA-IS3641L)		16	24	mA
	没有外部 I_{LOAD}：V_I = 0V (CA-IS3641L)；V_I = V_{DDI}[1] (CA-IS3641H)		11	18	
	每个通道输入 1Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		13	20	
	每个通道输入 10Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		16	24	
	每个通道输入 100Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		47	71	
CA-IS3642					
I_{DD}[2] 电源供电电流	无外部负载电流；V_I = 0V (CA-IS3642H)；V_I = V_{DDI}[1] (CA-IS3642L)		16	24	mA
	没有外部 I_{LOAD}：V_I = 0V (CA-IS3642L)；V_I = V_{DDI}[1] (CA-IS3642H)		11	18	
	每个通道输入 1Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		13	20	
	每个通道输入 10Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		16	24	
	每个通道输入 100Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		46	69	
CA-IS3643					
I_{DD}[2] 电源供电电流	无外部负载电流；V_I = 0V (CA-IS3643H)；V_I = V_{DDI}[1] (CA-IS3643L)		16	24	mA
	没有外部 I_{LOAD}：V_I = 0V (CA-IS3643L)；V_I = V_{DDI}[1] (CA-IS3643H)		11	18	
	每个通道输入 1Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		13	20	
	每个通道输入 10Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		15	23	
	每个通道输入 100Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		44	66	
CA-IS3644					
I_{DD}[2] 电源供电电流	无外部负载电流；V_I = 0V (CA-IS3644H)；V_I = V_{DDI}[1] (CA-IS3644L)		16	24	mA
	没有外部 I_{LOAD}：V_I = 0V (CA-IS3644L)；V_I = V_{DDI}[1] (CA-IS3644H)		11	18	
	每个通道输入 1Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		13	20	
	每个通道输入 10Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		15	23	
	每个通道输入 100Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		43	66	

备注:

1. V_{DDI} 为和该引脚处于同一侧的电压；
2. CA-IS36xxVW 系列芯片，其第 7 引脚为 V_{DDL}，表格中的 I_{DD} 电流值指的是流过 V_{DD} 和 V_{DDL} 的总电流。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

8.9.3 3.3V 输入，3.3V 输出

测试时 SEL 引脚短接到 GNDB 引脚，CA-IS36xxVW 版本的 V_{DD} 和 V_{DDL} 短接。除非有额外说明，本表格数据均为推荐工作条件下的测试结果。

参数		测试条件	最小值	典型值	最大值	单位
CA-IS3620						
I_{DD}[2]	电源供电电流	无外部负载电流；V_I = 0V (CA-IS3620H)；V_I = V_{DDI}[1] (CA-IS3620L)		10	15	mA
		没有外部 I_{LOAD}：V_I = 0V (CA-IS3620L)；V_I = V_{DDI}[1] (CA-IS3620H)		8	12	
		每个通道输入 1Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		11	17	
		每个通道输入 10Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		19	29	
		每个通道输入 100Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		40	60	
CA-IS3621						
I_{DD}[2]	电源供电电流	无外部负载电流；V_I = V_{DDI}[1] (CA-IS3621L)		12	18	mA
		没有外部 I_{LOAD}：V_I = 0V (CA-IS3621L)；		8	12	
		每个通道输入 1Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		10	15	
		每个通道输入 10Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		18	27	
		每个通道输入 100Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		31	46	
CA-IS3640						
I_{DD}[2]	电源供电电流	无外部负载电流；V_I = 0V (CA-IS3640H)；V_I = V_{DDI}[1] (CA-IS3640L)		16	24	mA
		没有外部 I_{LOAD}：V_I = 0V (CA-IS3640L)；V_I = V_{DDI}[1] (CA-IS3640H)		12	18	
		每个通道输入 1Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		15	23	
		每个通道输入 10Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		18	27	
		每个通道输入 100Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		57	86	

备注:

1. V_{DDI} 为和该引脚处于同一侧的电压；
2. CA-IS36xxVW 系列芯片，其第 7 引脚为 V_{DDL}，表格中的 I_{DD} 电流值指的是流过 V_{DD} 和 V_{DDL} 的总电流。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

3.3V 输入，3.3V 输出（续）

参数	测试条件	最小值	典型值	最大值	单位
CA-IS3641					
I_{DD}[2] 电源供电电流	无外部负载电流；V_I = 0V (CA-IS3641H)；V_I = V_{DDI}[1] (CA-IS3641L)		16	24	mA
	没有外部 I_{LOAD}：V_I = 0V (CA-IS3641L)；V_I = V_{DDI}[1] (CA-IS3641H)		12	18	
	每个通道输入 1Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		15	23	
	每个通道输入 10Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		18	27	
	每个通道输入 100Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		50	75	
CA-IS3642					
I_{DD}[2] 电源供电电流	无外部负载电流；V_I = 0V (CA-IS3642H)；V_I = V_{DDI}[1] (CA-IS3642L)		17	25	mA
	没有外部 I_{LOAD}：V_I = 0V (CA-IS3642L)；V_I = V_{DDI}[1] (CA-IS3642H)		12	18	
	每个通道输入 1Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		14	21	
	每个通道输入 10Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		17	26	
	每个通道输入 100Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		46	69	
CA-IS3643					
I_{DD}[2] 电源供电电流	无外部负载电流；V_I = 0V (CA-IS3643H)；V_I = V_{DDI}[1] (CA-IS3643L)		18	27	mA
	没有外部 I_{LOAD}：V_I = 0V (CA-IS3643L)；V_I = V_{DDI}[1] (CA-IS3643H)		12	18	
	每个通道输入 1Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		14	21	
	每个通道输入 10Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		16	24	
	每个通道输入 100Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		40	60	
CA-IS3644					
I_{DD}[2] 电源供电电流	无外部负载电流；V_I = 0V (CA-IS3644H)；V_I = V_{DDI}[1] (CA-IS3644L)		18	27	mA
	没有外部 I_{LOAD}：V_I = 0V (CA-IS3644L)；V_I = V_{DDI}[1] (CA-IS3644H)		12	18	
	每个通道输入 1Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		14	21	
	每个通道输入 10Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		16	24	
	每个通道输入 100Mbps、占空比为 50%的方波信号，每个通道输出 C_L = 15pF，无外部负载电流		36	54	

备注:

1. V_{DDI} 为和该引脚处于同一侧的电压；
2. CA-IS36xxVW 系列芯片，其第 7 引脚为 V_{DDL}，表格中的 I_{DD} 电流值指的是流过 V_{DD} 和 V_{DDL} 的总电流。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

8.10 时序特性

8.10.1 5V 输入，5V 输出

测试时 SEL 引脚短接到 V_{ISO} 引脚，CA-IS36xxVW 版本的 V_{DD} 和 V_{DDL} 短接。除非有额外说明，本表格数据均为推荐工作条件下的测试结果。

参数		测试说明	最小值	典型值	最大值	单位
DR	数据速率		0		100	Mbps
PW_{min}	最小脉冲宽度				5.0	ns
t_{PLH}，t_{PHL}	传播延迟	见图 9-1		10	20	ns
PWD	脉冲宽度失真$\lvert t_{PLH} - t_{PHL} \rvert$			0.2	4.5	ns
$t_{sk(o)}$	不同通道输出偏移时间 [1]			0.4	2.5	ns
$t_{sk(pp)}$	不同器件偏移时间 [2]			2.0	4.5	ns
t_r	输出上升时间	见图 9-1		2.5	4.0	ns
t_f	输出下降时间			2.5	4.0	ns

备注:

1. $t_{sk(o)}$为通道间输出偏移时间。测试时将器件的所有输入引脚接在一起输入同一信号，保持输出引脚负载相同，测试最大传输延时与最小传输延时的偏差。
2. $t_{sk(pp)}$ 为不同器件间传播延迟偏移时间。该时间在相同方向的通道，相同的供电电压，相同的温度，相同的输入信号和负载条件下测试得到。

8.10.2 5V 输入，3.3V 输出

测试时 SEL 引脚短接到 GNDB 引脚，CA-IS36xxVW 版本的 V_{DD} 和 V_{DDL} 短接。除非有额外说明，本表格数据均为推荐工作条件下的测试结果。

参数		测试说明	最小值	典型值	最大值	单位
DR	数据速率		0		100	Mbps
PW_{min}	最小脉冲宽度				5.0	ns
t_{PLH}，t_{PHL}	传播延迟	见图 9-1		10	20	ns
PWD	脉冲宽度失真$\lvert t_{PLH} - t_{PHL} \rvert$			0.2	4.5	ns
$t_{sk(o)}$	不同通道输出偏移时间 [1]			0.4	2.5	ns
$t_{sk(pp)}$	不同器件偏移时间 [2]			2.0	4.5	ns
t_r	输出上升时间	见图 9-1		2.5	4.0	ns
t_f	输出下降时间			2.5	4.0	ns

备注:

1. $t_{sk(o)}$为通道间输出偏移时间。测试时将器件的所有输入引脚接在一起输入同一信号，保持输出引脚负载相同，测试最大传输延时与最小传输延时的偏差。
2. $t_{sk(pp)}$ 为不同器件间传播延迟偏移时间。该时间在相同方向的通道，相同的供电电压，相同的温度，相同的输入信号和负载条件下测试得到。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

8.10.3 3.3V 输入，3.3V 输出

测试时 SEL 引脚短接到 GNDB 引脚，CA-IS36xxVW 版本的 V_{DD} 和 V_{DDL} 短接。除非有额外说明，本表格数据均为推荐工作条件下的测试结果。

参数		测试说明	最小值	典型值	最大值	单位
DR	数据速率		0		100	Mbps
PW_{min}	最小脉冲宽度				5.0	ns
t_{PLH}，t_{PHL}	传播延迟	见图 9-1		10	20	ns
PWD	脉冲宽度失真$\lvert t_{PLH} - t_{PHL} \rvert$			0.2	4.5	ns
$t_{sk(o)}$	不同通道输出偏移时间 [1]			0.4	2.5	ns
$t_{sk(pp)}$	不同器件偏移时间 [2]			2.0	4.5	ns
t_r	输出上升时间	见图 9-1		2.5	4.0	ns
t_f	输出下降时间			2.5	4.0	ns

备注:

1. $t_{sk(o)}$为通道间输出偏移时间。测试时将器件的所有输入引脚接在一起输入同一信号，保持输出引脚负载相同，测试最大传输延时与最小传输延时的偏差。
2. $t_{sk(pp)}$ 为不同器件间传播延迟偏移时间。该时间在相同方向的通道，相同的供电电压，相同的温度，相同的输入信号和负载条件下测试得到。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

8.11 特性曲线图

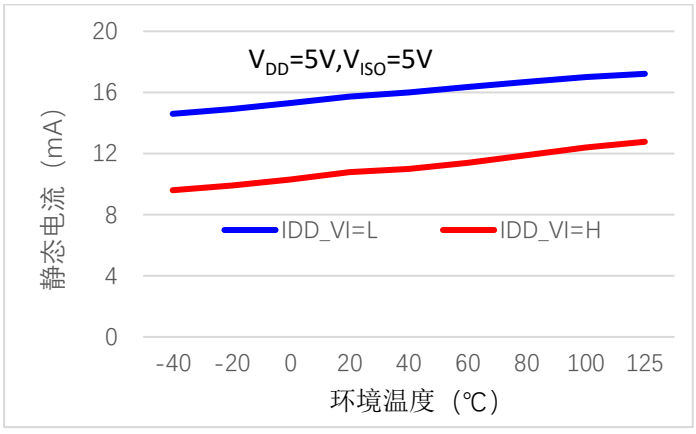


图 8.11-1
所有通道接高电平或低电平时的 V_{DD} 静态电流
V_{DD} = 5V，V_{ISO} = 5V

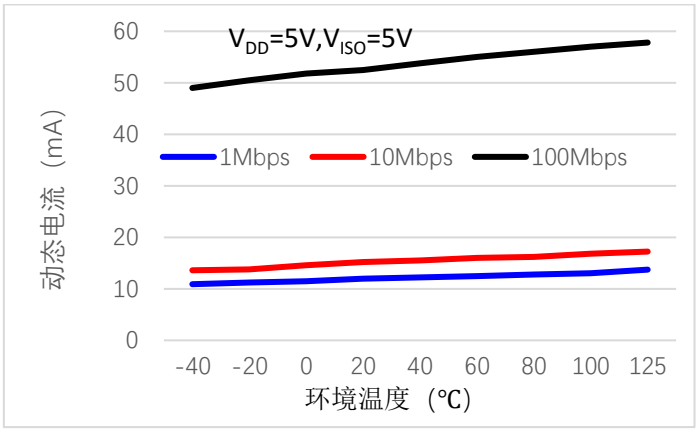


图 8.11-2
CA-IS3641HW 在不同传输速率下的 V_{DD} 动态电流
V_{DD} = 5V，V_{ISO} = 5V

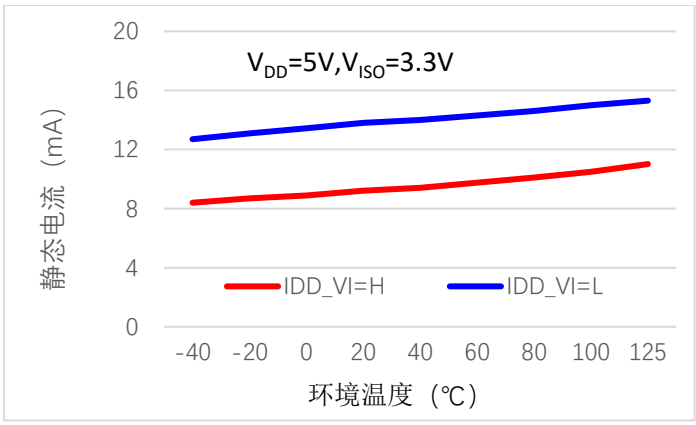


图 8.11-3
所有通道接高电平或低电平时的 V_{DD} 静态电流
V_{DD} = 5V，V_{ISO} = 3.3V

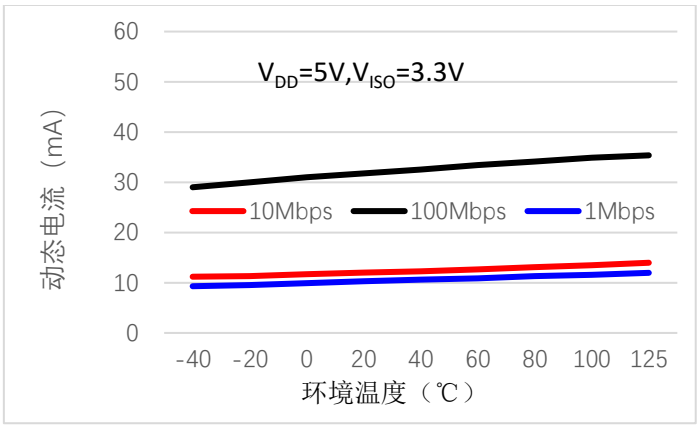


图 8.11-4
CA-IS3641HW 在不同传输速率下的 V_{DD} 动态电流
V_{DD} = 5V，V_{ISO} = 5V

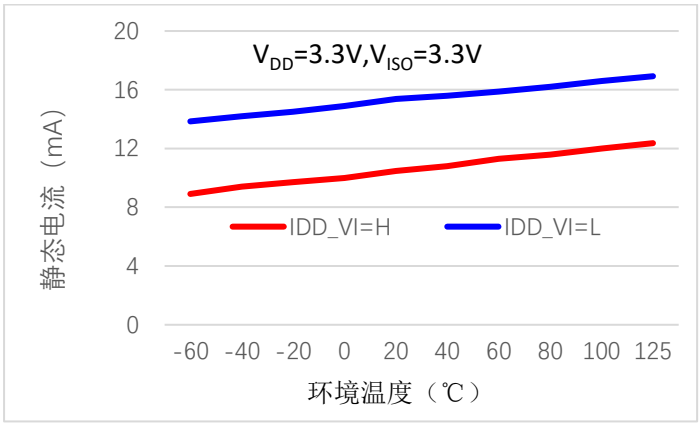


图 8.11-5
所有通道接高电平或低电平时的 V_{DD} 静态电流
V_{DD} = 3.3V，V_{ISO} = 3.3V

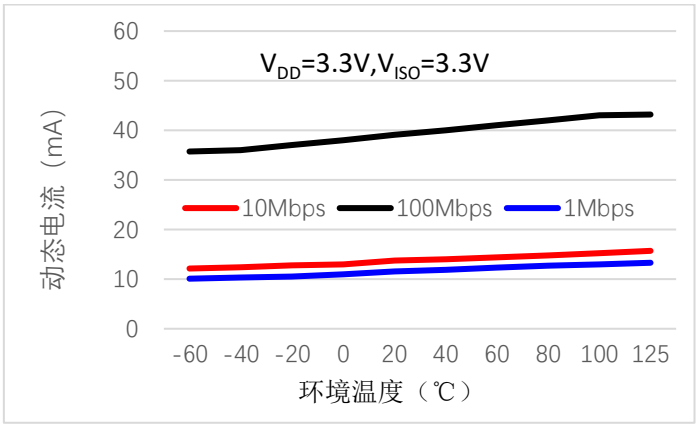


图 8.11-6
CA-IS3641HW 在不同传输速率下的 V_{DD} 动态电流
V_{DD} = 3.3V，V_{ISO} = 3.3V

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

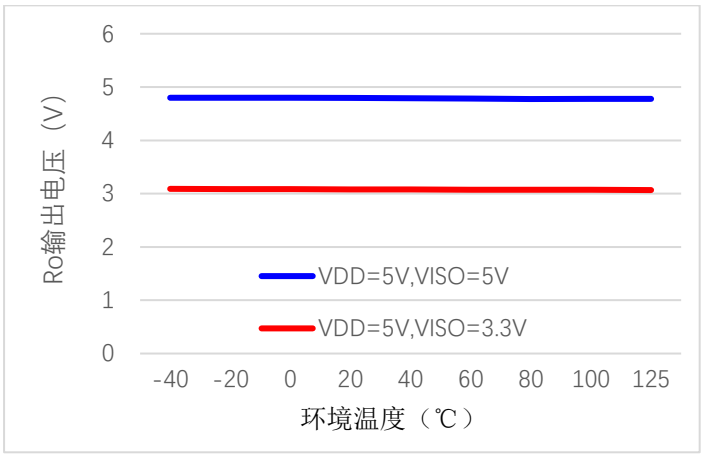


图 8.11-7
R_O = High，V_{OH} 下拉 4mA 电流

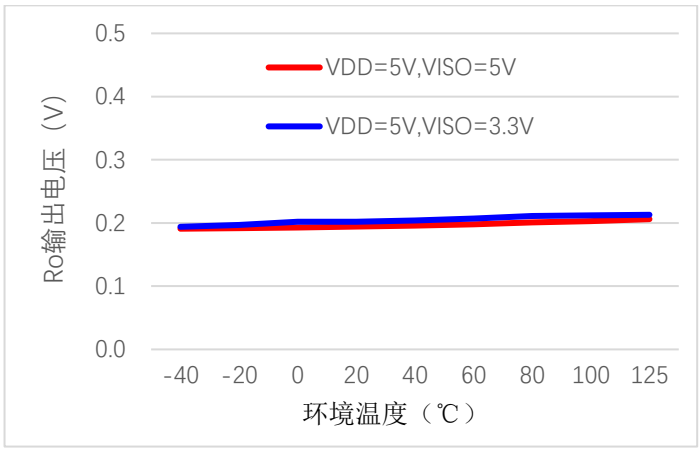


图 8.11-8
R_O = Low，R_O 上拉 4mA 电流

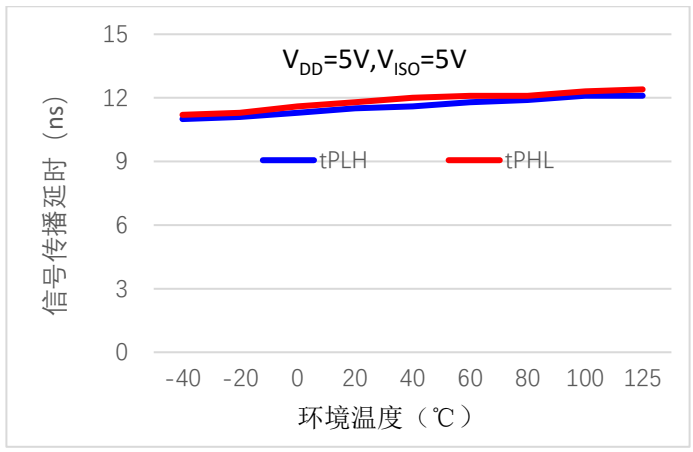


图 8.11-9
信号传播延时，V_{DD} = 5V，V_{ISO} = 5V

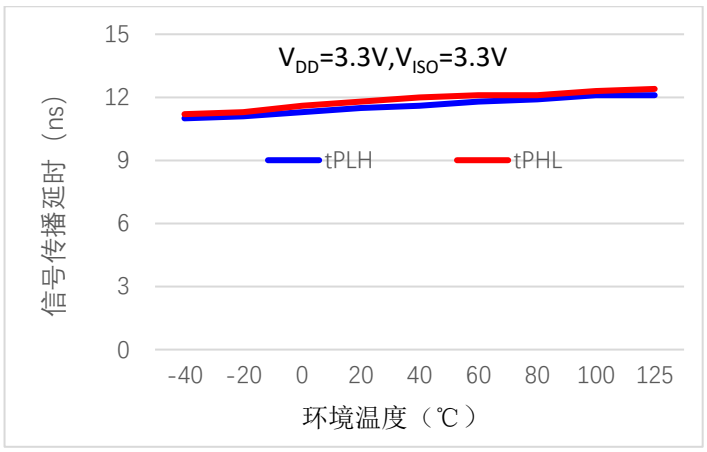


图 8.11-10
信号传播延时，V_{DD} = 3.3V，V_{ISO} = 3.3V

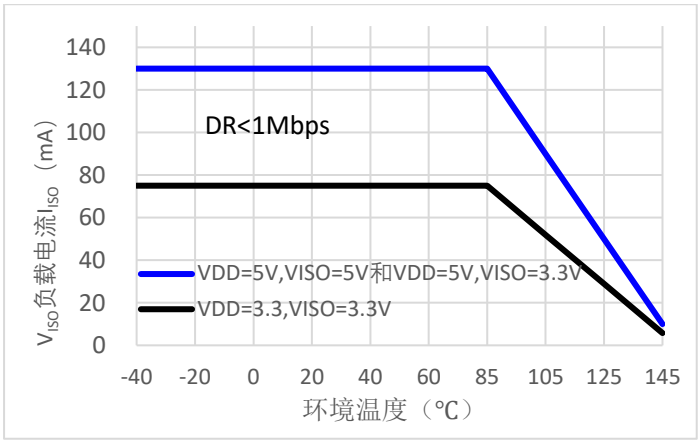


图 8.11-11
CA-IS36xx 全系列芯片
V_{ISO} 最大负载可用电流随器件环境温度的变化
每个通道的信号传输速率在 1Mbps 以下

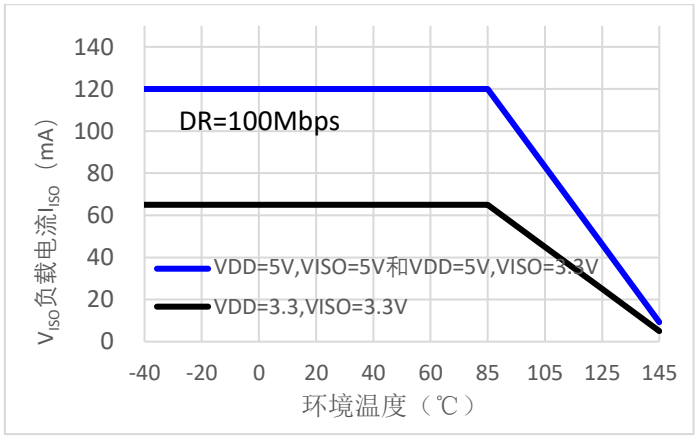


图 8.11-12
CA-IS3644LW/CA-IS3644LVW/CA-IS3644HW/CA-IS3644HVW
V_{ISO} 最大负载可用电流随器件环境温度的变化
每个通道的信号传输速率在 100Mbps

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

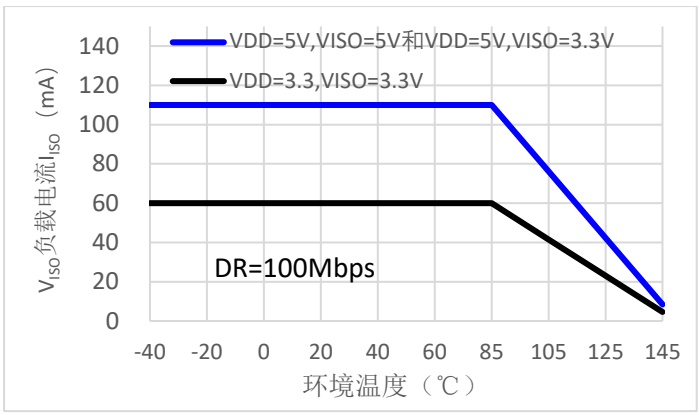


图 8.11-13
CA-IS3621LW/CA-IS3621LVW/CA-IS3643LW/CA-IS3643LVW/
CA-IS3643HW/CA-IS3643HVW
V_{ISO} 最大负载可用电流随器件环境温度的变化
每个通道的信号传输速率 100Mbps

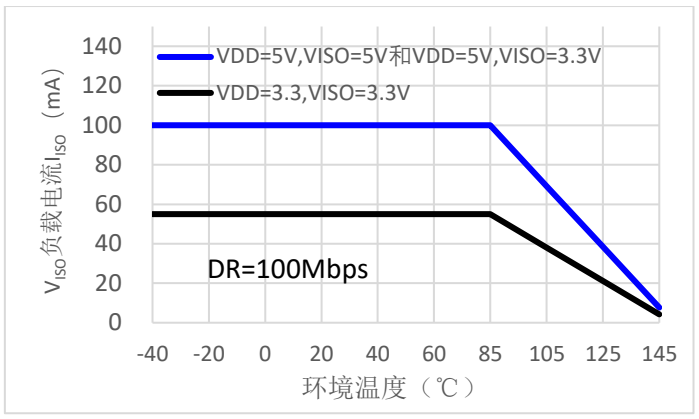


图 8.11-14
CA-IS3620LW/CA-IS3642LW/CA-IS3642LVW/CA-IS3642HW/
CA-IS3642HVW
V_{ISO} 最大负载可用电流随器件环境温度的变化
每个通道的信号传输速率 100Mbps

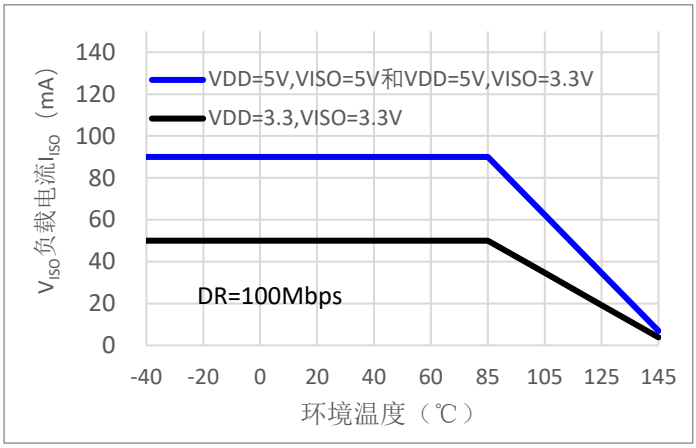


图 8.11-15
CA-IS3641LW/CA-IS3641LVW/CA-IS3641HW/CA-IS3641HVW
V_{ISO} 最大负载可用电流随器件环境温度的变化
每个通道的信号传输速率 100Mbps

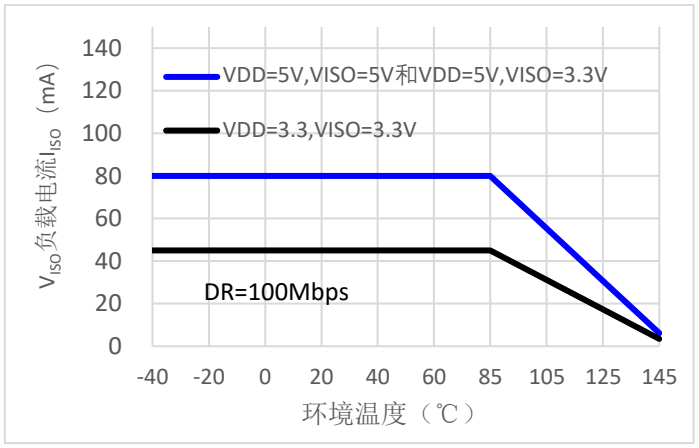


图 8.11-16
CA-IS3640LW/CA-IS3640LVW/CA-IS3640HW/CA-IS3640HVW
V_{ISO} 最大负载可用电流随器件环境温度的变化
每个通道的信号传输速率 100Mbps

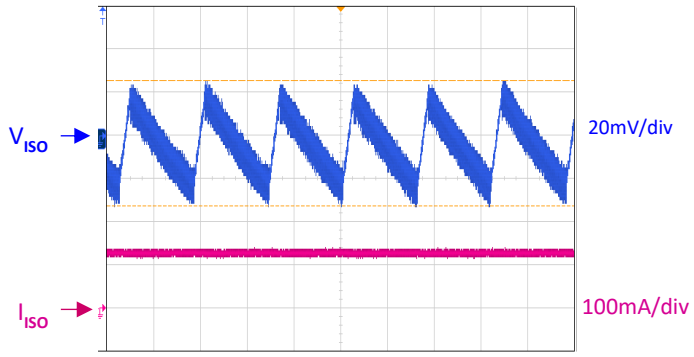


图 8.11-17
V_{DD} = 5V，V_{ISO} = 5V，I_{ISO} = 130mA，

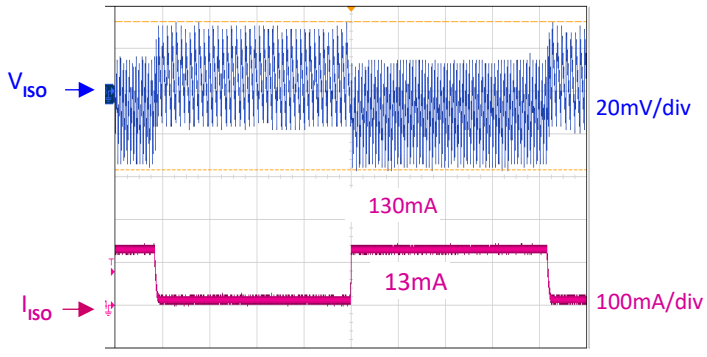


图 8.11-18
V_{DD} = 5V，V_{ISO} = 5V，动态负载电流 I_{ISO}：13 mA 阶跃至 130mA，

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

V_{ISO} 纹波电压峰峰值：58mV

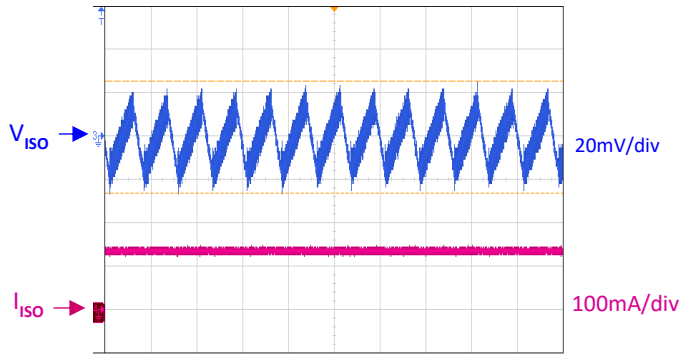


图 8.11-19
V_{DD} = 5V，V_{ISO} = 3.3V，I_{ISO} = 130mA，
V_{ISO} 纹波电压峰峰值 ：51mV

V_{ISO} 纹波电压峰峰值：68mV

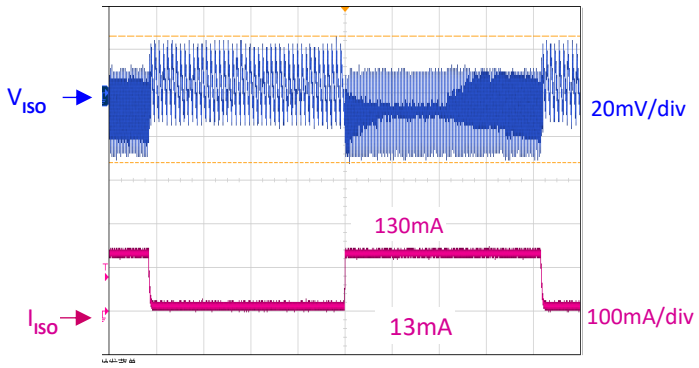


图 8.11-20
V_{DD}= 5V，V_{ISO} = 3.3V，动态负载电流 I_{ISO}：13mA 阶跃至 130mA
V_{ISO} 纹波电压峰峰值：58mV

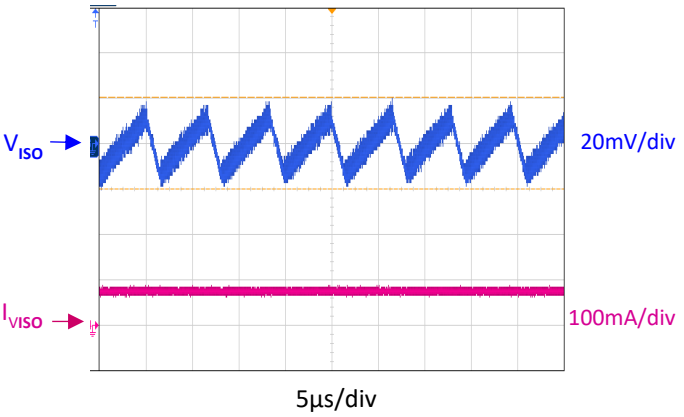


图 8.11-21
V_{DD} = 3.3V，V_{ISO} = 3.3V，I_{ISO} = 75mA，
V_{ISO} 纹波电压峰峰值：40mV

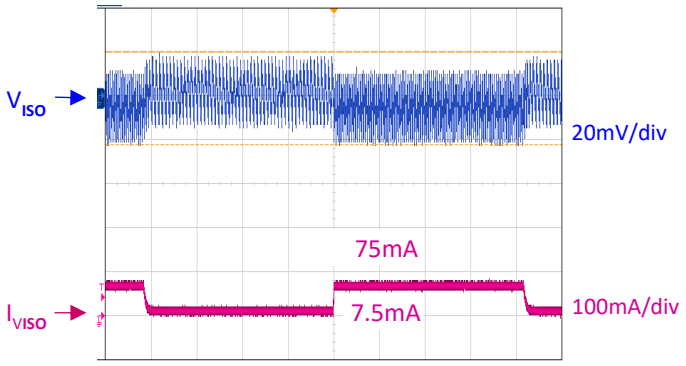


图 8.11-22
V_{DD} = 3.3V，V_{ISO} = 3.3V，动态负载电流 I_{ISO}：7.5mA 阶跃至 75mA
V_{ISO} 纹波电压峰峰值：42mV

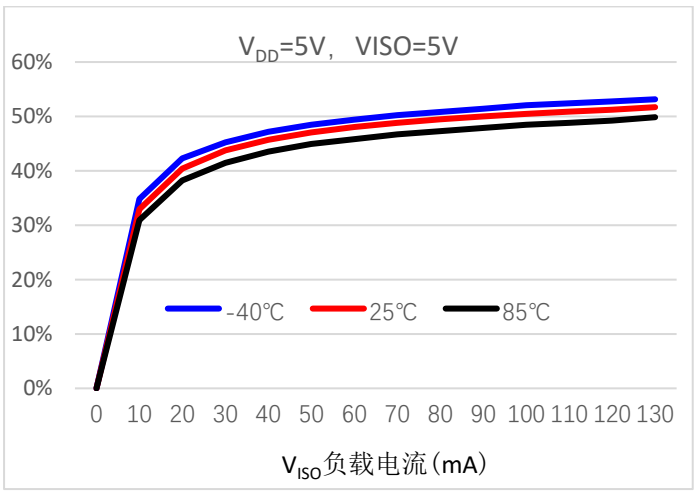


图 8.11-23
不同温度下的效率随器件负载电流的变化
V_{DD} = 5V，V_{ISO} = 5V

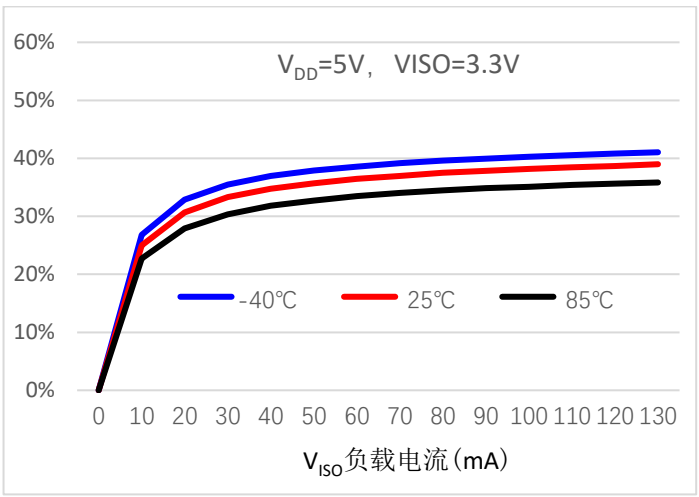


图 8.11-24
不同温度下的效率随器件负载电流的变化
V_{DD} = 5V，V_{ISO} = 3.3V

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

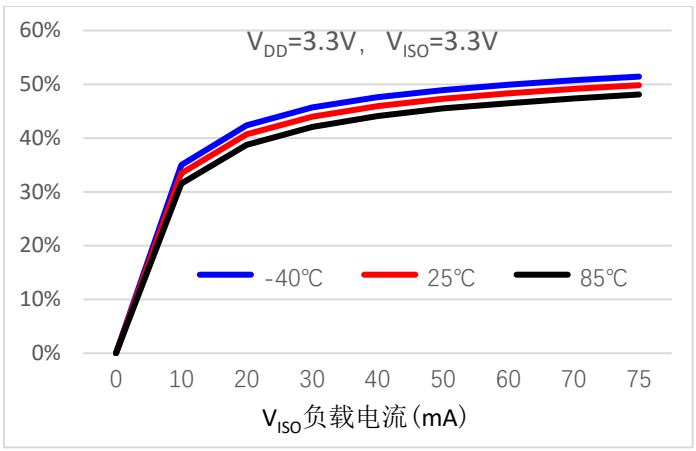
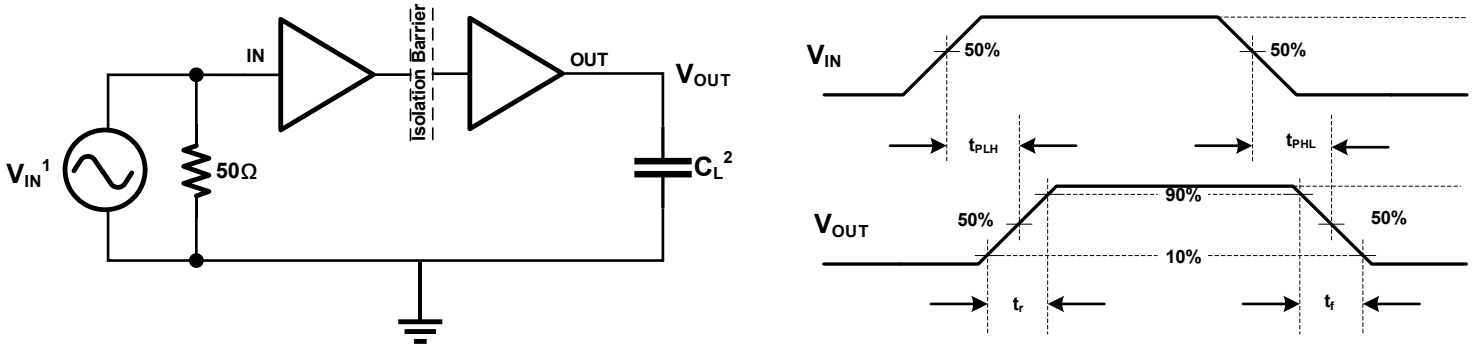


图 8.11-25
不同温度下的效率随器件负载电流的变化
V_{DD} = 3.3V，V_{ISO} = 3.3V

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

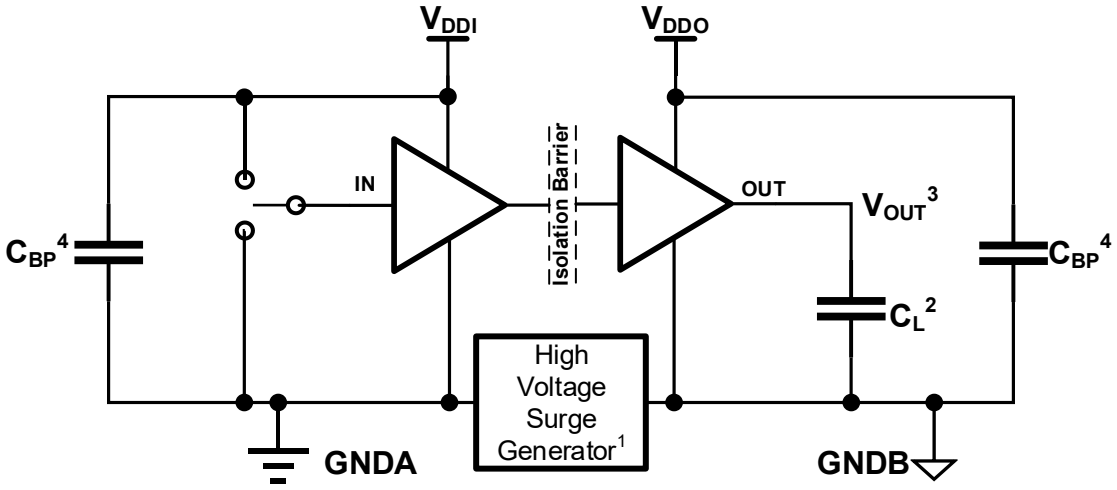
9 参数测量信息



备注:

1. 信号发生器产生输入信号 V_{IN} 具有以下约束条件：波形频率≤100 kHz，占空比 50%，t_r ≤ 3ns，t_f ≤ 3ns。由于波形发生器的输出阻抗 Zout = 50Ω，图中的 50 Ω 电阻是用来匹配，在实际应用中不需要。
2. C_L 是大约 15 pF，包含负载电容和仪表电容。由于负载电容会影响输出上升时间，因此它是时序特性测量的关键因素。

图 9-1 时序特性测试电路和电压波形



备注:

1. 高压浪涌脉冲发生器产生振幅> 1.5kV，上升/下降时间< 10ns，达到共模瞬态电压摆率> 150kV/μs 的重复高压脉冲。
2. C_L 是大约 15pF 的负载电容，包含寄生电容。
3. 通过标准：每当高压浪涌到来时，输出必须保持稳定。
4. C_{BP} 是 0.1~1μF 的旁路电容。

图 9-2 共模瞬变抗扰度测试电路

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

10 详细说明

10.1 工作原理

CA-IS36xx 器件集成了高效率、低辐射的隔离型 DC-DC 转换器，并具有高速隔离数据通道，功能框图如图 10-1 所示。

CA-IS36xx 器件的 DC-DC 转换器采用隔离的 PWM 反馈实现分离的控制器结构：V_{DD} 电源供电给一个振荡电路，该电路将电流传输给一个高 Q 值的片上变压器，该变压器具有高效率和低辐射性能；根据 SEL 引脚的设置，传递到副边的能量被调节成 3.3V 或 5V 的输出电压；副边（V_{ISO}）控制器将 PWM 控制信号通过一个专用的隔离数据通道传递给原边，原边依据副边反馈回来的 PWM 信号调节传输能量。V_{DD} 和 V_{ISO} 电源上都具备带迟滞的欠压锁定（UVLO）保护，保证了系统在噪声条件下的良好性能。内置的软启动电路确保了器件在启动过程中不会出现浪涌电流和输出电压过冲。

高速隔离数据通道使用简单的开关键控（OOK）调制解调方案。由 SiO_2 构成的高压隔离电容为不同的电压域之间提供可靠的绝缘屏障，并提供可靠的高频信号传输路径。为了保证稳定的数据传输质量，发射机（TX）将输入信号调制到载波频率上，即 TX 在一个输入状态下通过隔离电容传递高频信号，而在另一个输入状态下无信号通过隔离电容，然后接收机根据检测到的调制信号重建输入信号。上述架构为隔离的不同电压域之间提供了可靠的数据传输路径，在启动时不需要考虑初始化。全差分的隔离电容架构可以最大限度地提高信号共模瞬态抗干扰能力。与电感耦合结构相比，电容耦合结构提供了更优的电磁抗扰性。图 10-2 和图 10-3 分别为单通道功能框图和调制方案的波形示意图。

10.2 功能框图

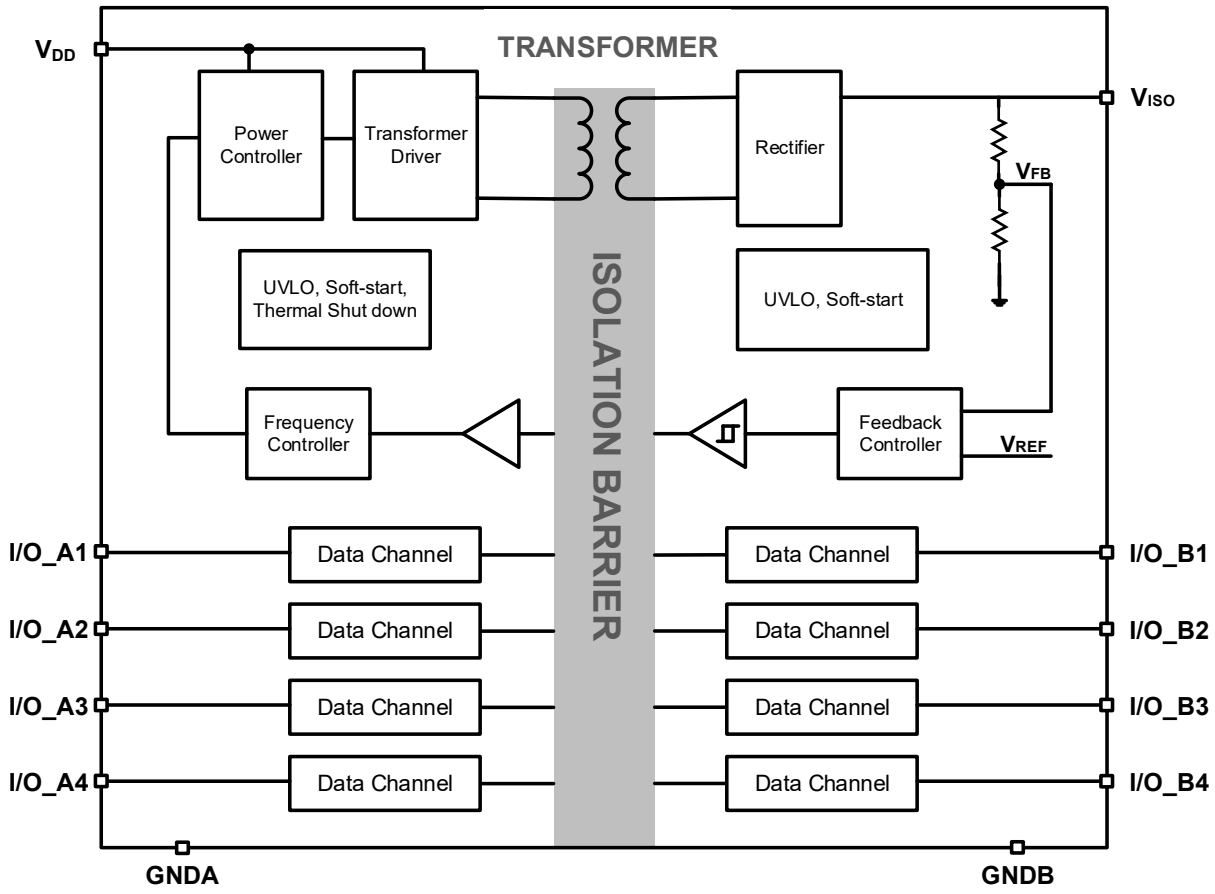


图 10-1 CA-IS36xx 系列功能框图

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

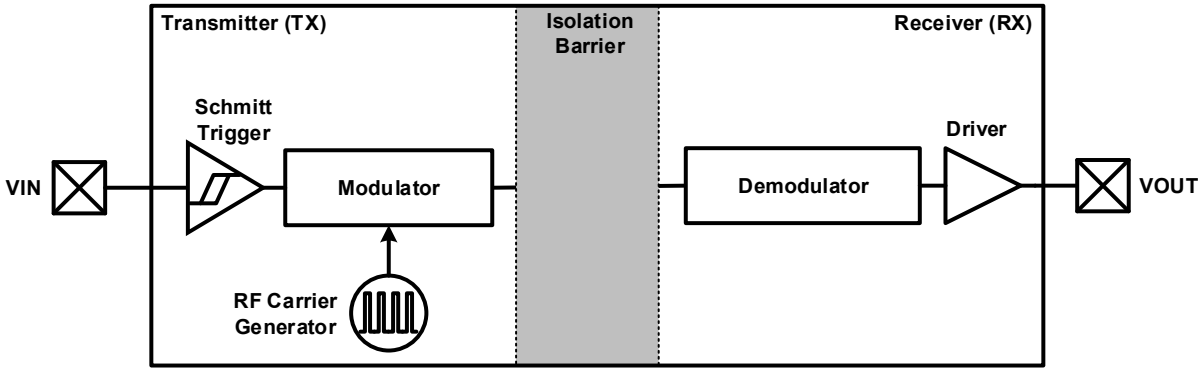


图 10-2 单通道功能框图

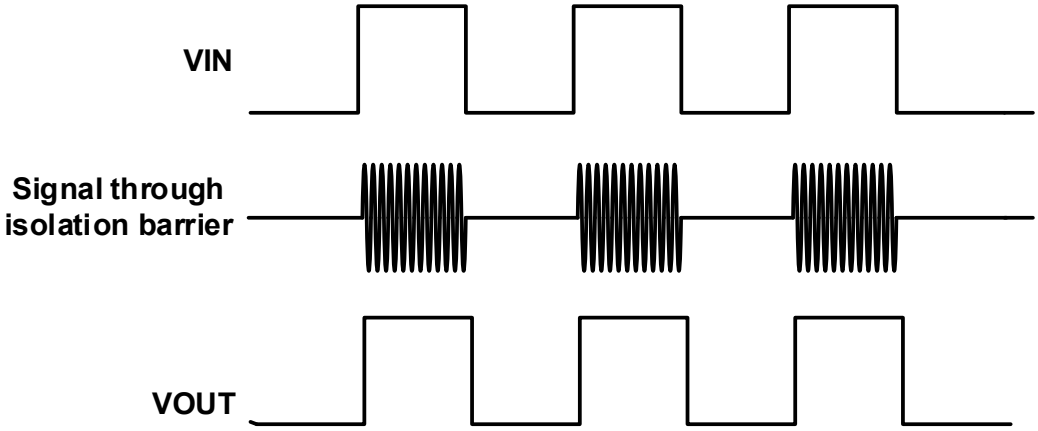


图 10-3 单通道波形示意图

10.3 欠压保护

CA-IS36xxW 器件供电电源 V_{DD}，不同电压状态下，输出引脚状态如下表所示。

表 10-1 CA-IS36xxW 不同电压模式下输出引脚状态

电源电压 V_{DD}	A 侧输出	B 侧输出
PD	高阻	高阻
PU	正常	正常
备注：PU = 上电（$V_{DD} \geq V_{DD(UVLO+)}$）；PD = 断电（$V_{DD} \leq V_{DD(UVLO-)}$）		

CA-IS36xxVW 器件有两路供电电源，V_{DD} 和 V_{DDL}，不同电压状态下输出引脚状态如下表所示。

表 10-2 CA-IS36xxVW 不同电压模式下输出引脚状态

电源电压 V_{DD}	V_{DDL}	A 侧输出	B 侧输出
PD	PD	高阻	高阻
PD	PU	高阻	高阻
PU	PD	高阻	正常
PU	PU	正常	正常
备注：PU = 上电（$V_{DD/L} \geq V_{DD(UVLO+)}$）；PD = 断电（$V_{DD/L} \leq V_{DD(UVLO-)}$）			

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

10.4 V_{ISO} 输出电压

如表 10-3 所示，当 V_{DD} 输入电压为 5V 时，通过 SEL 引脚的连接方式，V_{ISO} 输出电压可设置为 5V 或者 3.3V；当 V_{DD} 输入电压为 3.3V 时，V_{ISO} 输出电压只能选择 3.3V，禁止输出设置为 5V。

表 10-3 V_{ISO} 输出电压真值表 [1]

电源电压 V_{DD} (V)	SEL[2]	V_{ISO} (V)
4.5~5.5	短接到 V_{ISO}	5
4.5~5.5	短接到 GNDB	3.3
3.15~3.6	短接到 GNDB	3.3

备注：

1. 不建议在工作中将 DC-DC 转换器配置成输出电压 V_{ISO} 高于输入电压 V_{DD}，例如 V_{DD} = 3.3V，SEL 短接至 V_{ISO}。
2. SEL 引脚内部弱下拉至 GNDB， 对于 V_{ISO} = 3.3V，在较强噪声系统应用场景中，SEL 引脚应该直接短接到 GNDB。
3. 在启动前将 SEL 引脚配置好，可根据需要连接至 V_{ISO} 或 GNDB，器件启动过程中禁止改变 SEL 的电平。

10.5 最大负载可用电流 I_{ISO}

表 10-4 列举了 CA-IS36xx 器件在每个通道不同速率下的最大负载可用电流。在实际应用中，当各个通道传输速率大于 1Mbps 时，通道自身需要消耗电流，V_{ISO} 能够外供的负载电流减小。需要注意的是，上述电流是在常温（T_A = 25°C）下的数据，当温度超过 85°C 时，最大负载应适当降低，请在应用的时候加以考虑，可参考图 8.11-11、图 8.11-12、图 8.11-13、图 8.11-14、图 8.11-15 和图 8.11-16 关于 V_{ISO} 最大负载可用电流随器件环境温度变化的曲线。

表 10-4 不同 V_{ISO} 时的最大负载可用电流 I_{ISO} @ T_A = 25°C

电源电压 V_{DD} (V)	V_{ISO} (V)	器件型号	通讯速率(bps)	I_{ISO} (mA)
4.5~5.5	5 或者 3.3	CA-IS36xx	<1M	130
3.15~3.6	3.3			75
4.5~5.5	5 或者 3.3	CA-IS3644LW/CA-IS3644LVW/CA-IS3644HW/CA-IS3644HVW	100M	120
3.15~3.6	3.3			65
4.5~5.5	5 或者 3.3	CA-IS3621LW/CA-IS3621LVW/CA-IS3643LW/CA-IS3643LVW/CA-IS3643HW/CA-IS3643HVW	100M	110
3.15~3.6	3.3			60
4.5~5.5	5 或者 3.3	CA-IS3620LW/CA-IS3642LW/CA-IS3642LVW/CA-IS3642HW/CA-IS3642HVW	100M	100
3.15~3.6	3.3			55
4.5~5.5	5 或者 3.3	CA-IS3641LW/CA-IS3641LVW/ CA-IS3641HW/CA-IS3641HVW	100M	90
3.15~3.6	3.3			50
4.5~5.5	5 或者 3.3	CA-IS3640LW/CA-IS3640LVW/CA-IS3640HW/CA-IS3640HVW	100M	80
3.15~3.6	3.3			45

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

10.6 数字信号真值表

表 10-5 工作模式真值表 [1]

V_{DD}	输入(VIx)	输出 (VOx)	模式
PU	H	H	正常运行模式： 通道的输出跟随通道输入状态
	L	L	
	Open	Default	默认输出故障安全模式： 如果通道的输入保持悬空状态，则对应通道的输出将变为默认电平（CA-IS36xxL 系列为低，CA-IS36xxH 系列为高）
PD	X	未定 [2]	

备注：

1. PU = 上电（V_{DD} > 3.15V）；PD = 断电（V_{DD} < 2V）；X = 无关；H = 高电平；L = 低电平； Z = 高阻抗。
2. 当电源电压 V_{DD} < 2V 时，输出状态不确定。

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

11 应用信息

11.1 典型应用

CA-IS36xx 数字隔离器系列器件只需要外部接上旁路电容就可以工作，这些低 ESR 的陶瓷旁路电容须放置在尽可能靠近器件引脚的位置。CA-IS3642xVW 典型应用如图 11-1 所示。图 11-2 展示了使用 CA-IS3641 器件进行 SPI 隔离的典型应用。

建议隔离电源输出 V_{ISO} 使用 0.1μF 电容和不小于 10μF 电容并联进行滤波，在 V_{ISO} 启动阶段不要传输任何信号。

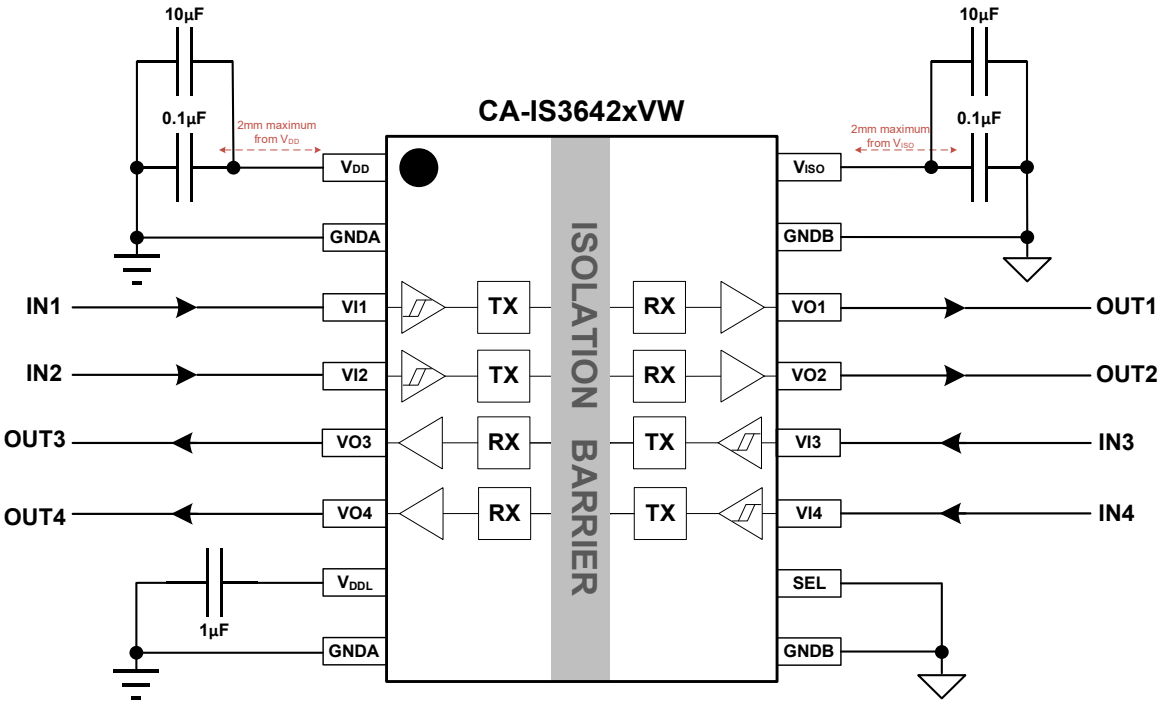


图 11-1 CA-IS3642xVW 典型应用电路

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

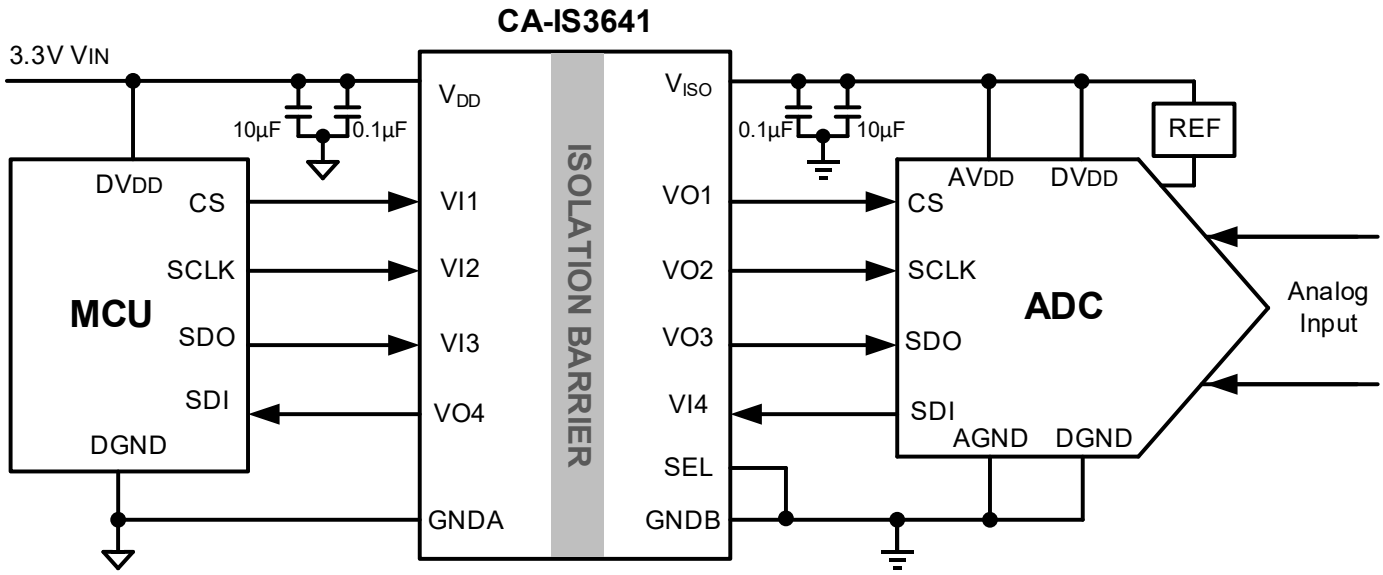


图 11-2 使用 CA-IS3641 实现 ADC 传感的隔离电源和 SPI 应用电路

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

11.2 PCB 布板

为确保器件在任何数据速率下可靠工作，建议在 V_{DD} 与 GNDA、V_{ISO} 与 GNDB 之间外接不小于 10μF 的去耦电容。电容应紧靠器件相应的电源引脚放置。实际应用中，输入和输出电容分别为 0.1μF 和 10μF 电容并联，且 0.1μF 电容靠近器件引脚摆放，距离控制在 2mm 以内。

PCB 板上输入、输出电容和器件必须放在同一层，不要将电容和器件放在不同层并且通过过孔相连。CA-IS36xx 的 V_{DDL} 是 A 侧的逻辑电源引脚，需要对 GNDA 接 1μF 电容，V_{DDL} 可以使用不同于 V_{DD} 的外部独立电源，也可以和 V_{DD} 共用一个外部电源，图 11-3 展示了 CA-IS36xxVW 的 V_{DDL} 和 V_{DD} 共用一个电源时的 PCB 布线。

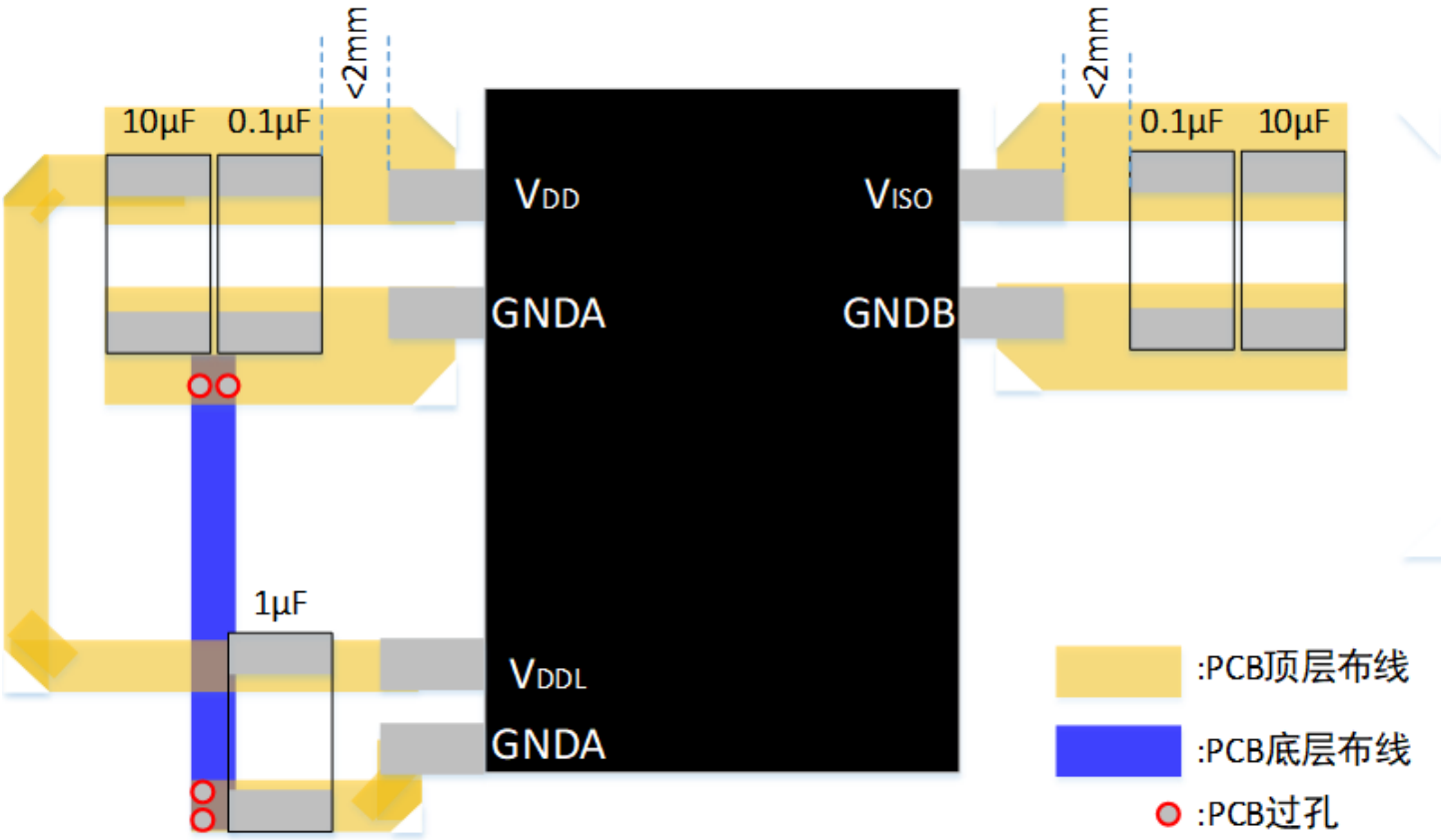
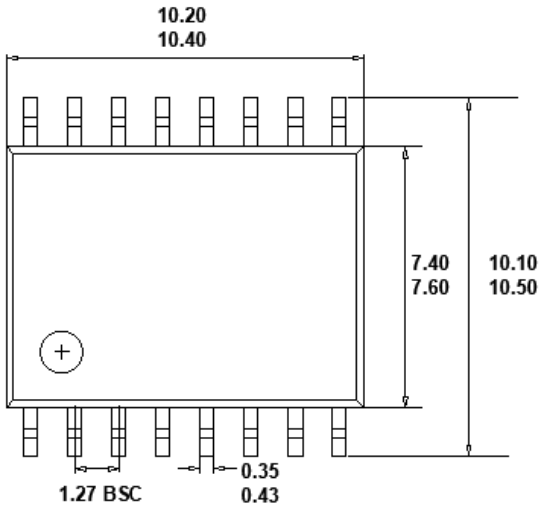


图 11-3 推荐 PCB 电源部分走线

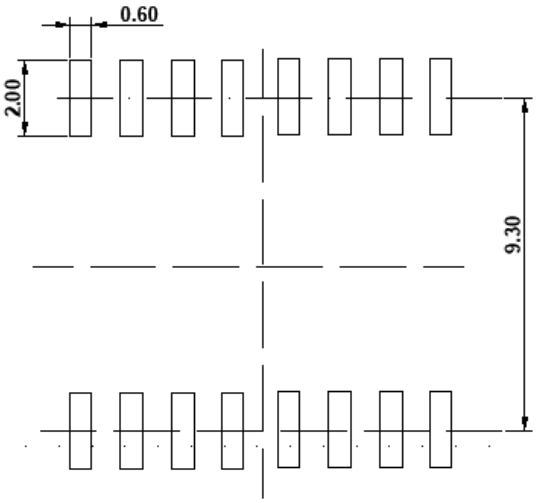
Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

12 封装信息

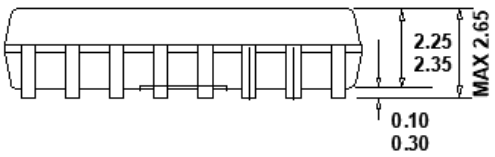
下图说明了 CA-IS36xx 系列数字隔离器采用的 SOIC16-WB 宽体封装大小尺寸图和建议焊盘尺寸图，尺寸以毫米为单位。



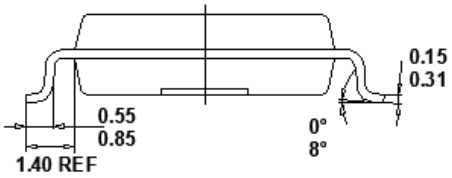
TOP VIEW



RECOMMMENDED LAND PATTERN



FRONT VIEW



LEFT SIDE VIEW

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

13 焊接信息

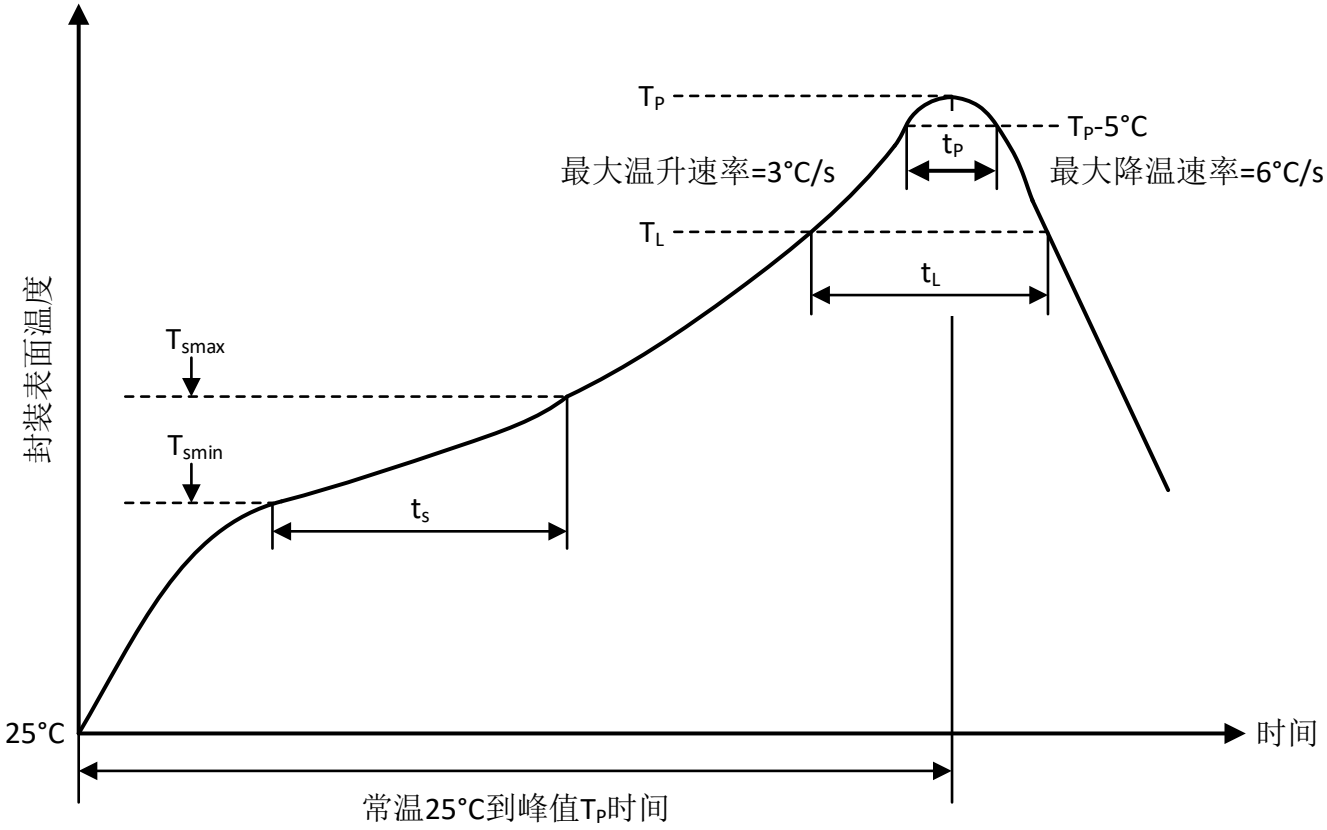


图 13-1 焊接温度曲线

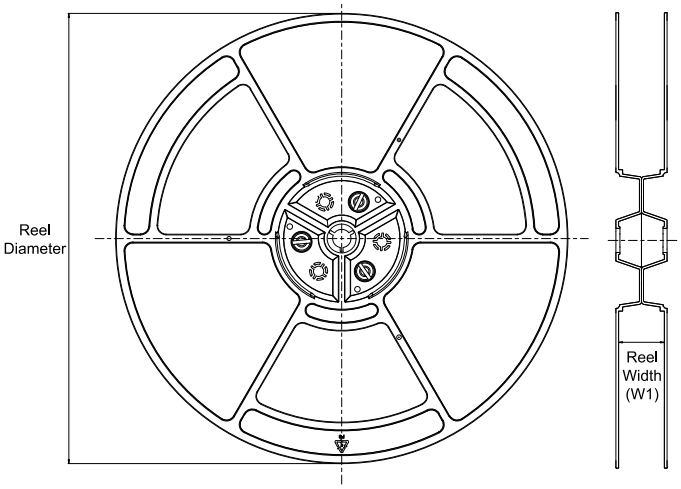
表 13-1 焊接温度参数

简要说明	无铅焊接
温升速率（T_L=217°C 至峰值 T_P）	最大 3°C/s
T_{smin}=150°C 到 T_{smax}=200°C 预热时间 t_s	60~120 秒
温度保持 217°C 以上时间 t_L	60~150 秒
峰值温度 T_P	260°C
小于峰值温度 5°C 以内时间 t_P	最长 30 秒
降温速率（峰值 T_P 至 T_L=217°C）	最大 6°C/s
常温 25°C 到峰值温度 T_P 时间	最长 8 分钟

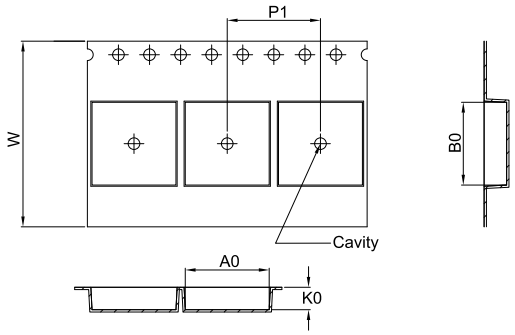
Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

14 卷带信息

REEL DIMENSIONS

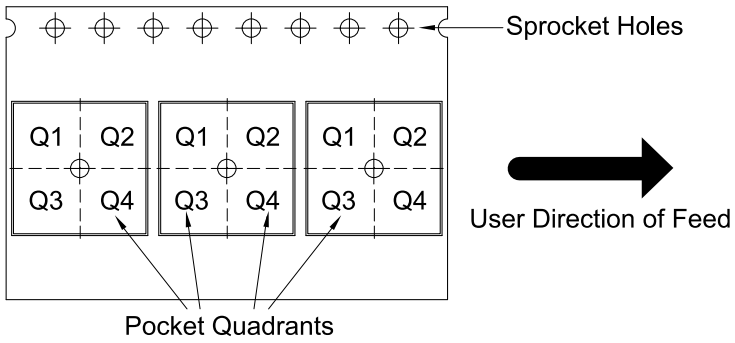


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IS3620LW	SOIC	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3621LW	SOIC	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3640LW	SOIC	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3640HW	SOIC	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3641LW	SOIC	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3641HW	SOIC	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3642LW	SOIC	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3642HW	SOIC	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3643LW	SOIC	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3643HW	SOIC	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3644LW	SOIC	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3644HW	SOIC	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3621LVW	SOIC	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3640LVW	SOIC	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3640HVW	SOIC	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3641LVW	SOIC	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3641HVW	SOIC	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3642LVW	SOIC	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3642HVW	SOIC	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3643LVW	SOIC	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3643HVW	SOIC	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3644LVW	SOIC	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3644HVW	SOIC	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司

15 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源， 如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。

http://www.chipanalog.com

Copyright © 2020, Chipanalog Incorporated
上海川土微电子有限公司