

栅极驱动电阻设计方法

1 背景

众所周知，栅极驱动电路的设计对 MOSFET 功率器件尤为重要，既要保证功率器件的可靠性，又要充分发挥器件的性能，满足 EMC 和效率等指标要求。图1 展示栅极驱动等效电路，该电路由驱动电路、寄生电感、寄生电阻、寄生电容、外部驱动电阻和功率器件 MOSFET 组成， R_{OH} 和 R_{OL} 为驱动电路的导通电阻， L_S 是栅极驱动 PCB 走线和芯片内部引线及 MOS 管脚形成的总电感， R_{GATE} 为外部栅极驱动电阻， C_{GS} 、 C_{GD} 和 C_{DS} 为 MOSFET 寄生电容。适当的外部栅极驱动电阻设计可以有效地限制环路中的噪声和振铃。如果外部栅极电阻设计不当，输出电压过冲、开关损耗、高的 dv/dt 和 di/dt 和体二极管反向恢复都可能导致功率器件损坏。一般情况，MOSFET 产品手册会直接提供 C_{iss} ($C_{GS}+C_{GD}$) 输入电容、 C_{oss} ($C_{DS}+C_{GD}$) 输出电容以及 C_{rss} (C_{GD}) 米勒电容寄生参数。

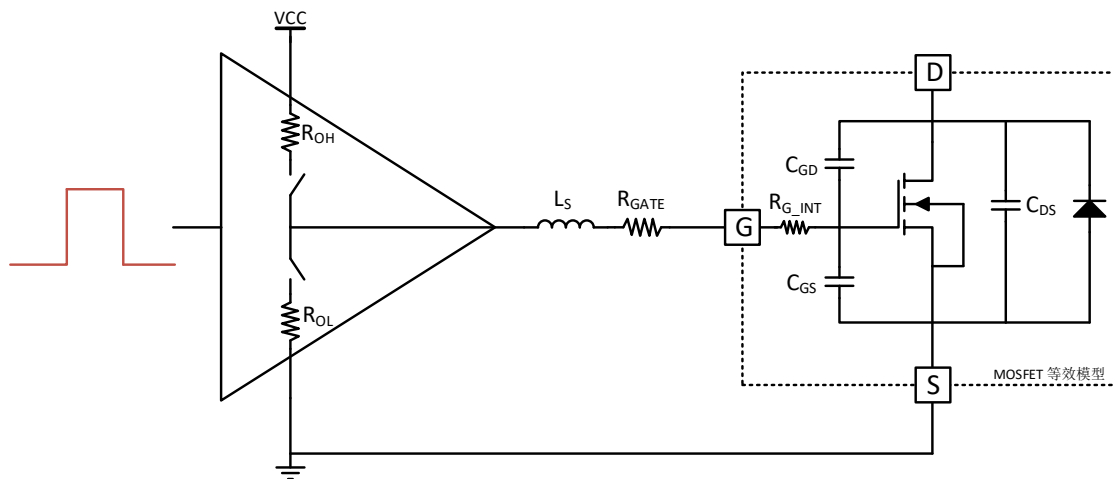


图 1 栅极驱动等效电路

2 MOSFET 开通与关断过程

如下图 2 所示，MOSFET 的开通过程分为以下四个阶段：

- ①第一阶段，器件的输入电容从 0V 充电到 V_{th} 。在此期间，大部分栅极电流对 C_{GS} 充电，小部分电流也会流过 C_{GD} 。随着栅极电压升高， C_{GD} 上电压会轻微地下降。这个阶段被称为开通延时，因此，漏极电流和漏-源电压均保持不变。
- ②第二阶段，栅极电压从 V_{th} 到达 $V_{GS, Miller}$ ， I_{DS} 电流与栅极电压成比例，此时 MOS 工作在恒流区。和第一阶段一样， I_G 电流同时流入 C_{GS} 和 C_{GD} 电容，栅极电压继续上升。在输出端，漏极电流上升，同时漏极电压保持之前电压 ($V_{DS, off}$) 基本不变，但是实际情况下存在寄生电感，会产生压降，漏极电压会轻微地下降。
- ③第三阶段，栅极已经充到足够高的电压 ($V_{GS, Miller}$)，大部分的栅极电流被转移到 C_{GD} 电容，以实现漏-源极间电压的快速变化 (下降到接近 0V)。漏极电流受外部电路限制，基本保持不变。
- ④第四阶段，栅极电压从 Miller 平台增长到最终值 V_{GS} ， V_{GS} 电压决定了器件导通电流通道宽度以及导通电阻。故，此阶段保持对 C_{GS} 和 C_{GD} 电容的充电，使得栅极电压达到 VCC。当这些电容被充电时，漏极电流仍然保持不变，因为器件的导通电阻下降，漏-源极电压会轻微下降。

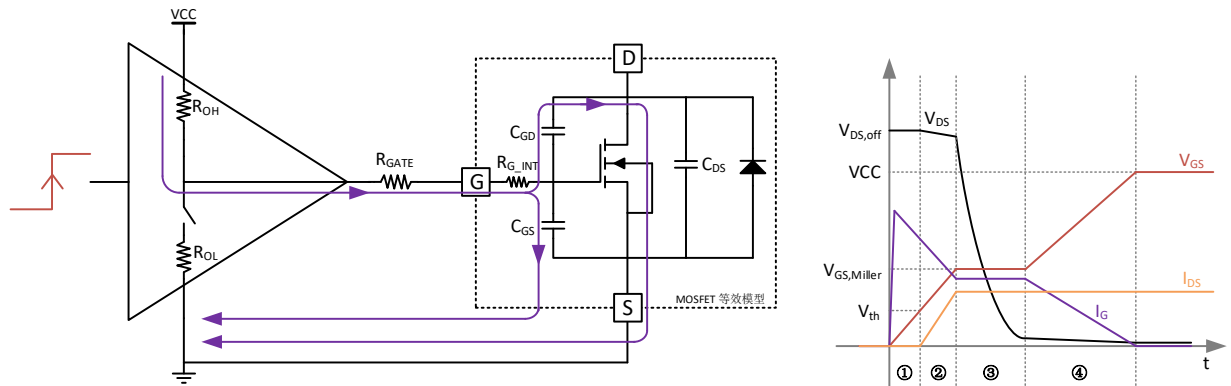


图 2 MOSFET 的开通过程

如下图 3 所示，MOSFET 的关断过程同样也分四个阶段，关断过程基本上和开通过程相反：

- ①第一阶段，称关断延时，器件的输入电容从 VCC 放电到 Miller 平台电位。这时栅极电流由 $C_{GS}+C_{GD}$ 电容提供。随着 V_{GS} 电压降低，器件的漏-源极电压略有上升，漏极的电流保持不变。
- ②第二阶段，对应着栅极电压波形的 Miller 平台阶段，栅极电流等于 C_{GD} 充电电流，因此 $V_{GS, Miller}$ 电压保持不变。漏-源电压从 $I_D \cdot R_{DS(on)}$ 上升到最终值 $V_{DS, off}$ 。
- ③第三阶段，栅极电压继续从 $V_{GS, Miller}$ 下降至 V_{th} 。绝大部分栅极电流来自 C_{GS} 电容，因为 C_{GD} 电容实际上在上一阶段已经充满电。漏极电压在 $V_{DS, off}$ 保持稳定。漏极电流下降到接近 0。
- ④第四阶段，栅极电压从 V_{th} 下降直到 0V 为止。与第三阶段类似，栅极电流的大部分由 C_{GS} 电容提供，漏极电流和漏极电压保持不变。

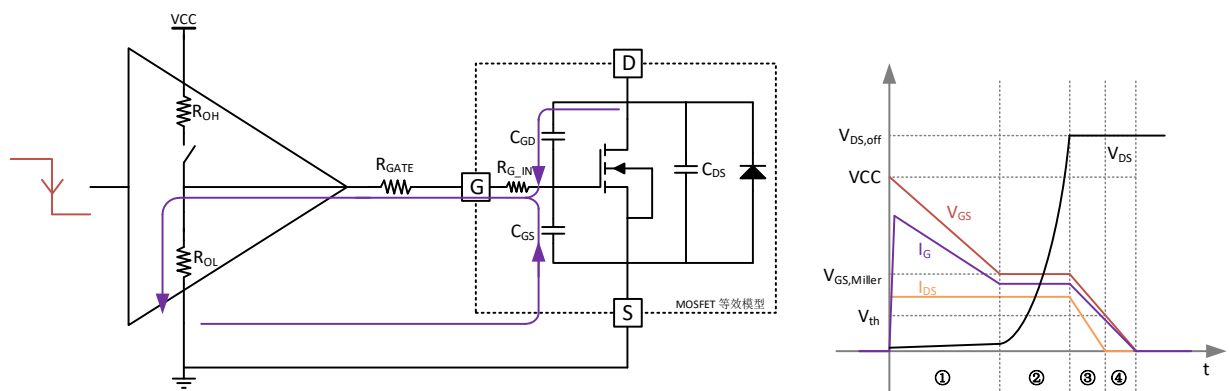


图 3 MOSFET 的关断过程

3 栅极驱动等效谐振电路

对带寄生参数驱动电路可以用二阶 RLC 串联电路来进行建模，简化的模型如图4所示，其中 R_{eq} 为等效的栅极总电阻， L_{eq} 环路中总寄生电感， C_{eq} 为 MOSFET 的输入电容，即 C_{GS} 与 C_{GD} 之和。其中 $R_{eq} = 1\Omega$, $L_{eq} = 1nH$, $C_{eq} = 1nF$ 。

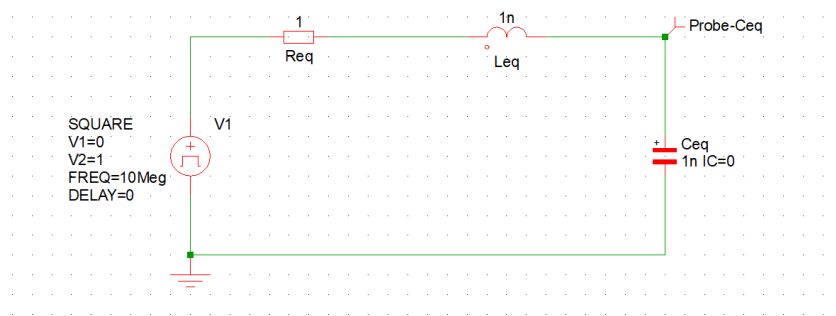


图 4 二阶 RLC 串联电路建模仿真

对 RLC 二阶系统进行数学建模，根据基尔霍夫电压定理列出电路微分方程： $U_{in} = R_{eq}I + L \frac{dI}{dt} + U_o$ ，电流 $I = C_{eq} \frac{dU_o}{dt}$ ，将公式中的电流 I 替换，得到以下输入与输出电压公式：

$$L_{eq}C_{eq} \frac{d^2U_o}{dt^2} + R_{eq}C_{eq} \frac{dU_o}{dt} + U_o = U_{in}$$

将该方程进行拉普拉斯变换得 $(L_{eq}C_{eq}s^2 + R_{eq}C_{eq}s + 1)U_o(s) = U_{in}(s)$ ，可得输出电容电压 U_o 对输入电压 U_{in} 的传递函数为：

$$F(s) = \frac{1}{L_{eq}C_{eq}s^2 + R_{eq}C_{eq}s + 1}$$

在二阶 RLC 电路的阶跃响应中，存在“阻尼比”的概念，即 $\zeta = \frac{R}{2} \sqrt{\frac{C}{L}}$ ，当 $\zeta = 0$ 时，称为无阻尼，系统无穷震荡，不收敛。当 $0 < \zeta < 1$ 时，称为欠阻尼，意味着系统存在超调且有震荡。当 $\zeta = 1$ 时，称为临界阻尼，系统不超调，且以最短时间恢复稳定状态。当 $\zeta > 1$ 时，称为过阻尼，系统不超调，且上升时间缓慢。

如图5仿真波形所示，如果选择一个很小的 R_{eq} 电阻，对该传递函数进行阶跃响应，输出电压会有较大的超调且上升时间会比较快，逐渐增大 R_{eq} 电阻，输出端的超调会逐渐减小，同时上升时间会增大。在实际的栅极驱动电路设计中，我们希望其工作在阻尼比为 $0.5 < \zeta < 1$ ，这样既保证无明显电压过冲，又兼顾上升时间，系统快速达到稳态。

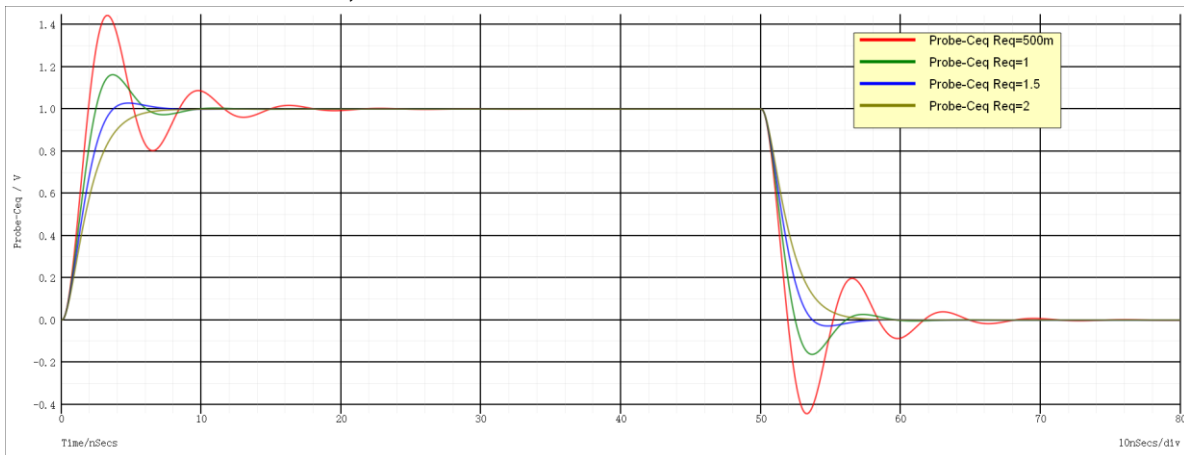


图 5 不同 Req 电阻下的电容电压（仿真结果）

4 实际栅极驱动电阻设计

我们希望选择阻尼比在 0.5 与 1 之间，这样可以保证系统有足够快的开通和关断速度，同时可以减小系统的震荡。对于一个实际栅极驱动电路，设计步骤如下：

STEP 1: 首先记录在 R_{GATE} 为 0 时输出波形的阶跃响应谐振频率，记为 F_R ，通过如下公式计算驱动电路的电感 L_{eq} 。

$$L_{eq} = \frac{1}{C_{eq} * (2 * \pi * F_R)^2}$$

STEP 2: 假定阻尼比 $\zeta = 0.7$ 为例， C_{eq} 为 MOSFET 的 C_{GS} 和 C_{GD} 电容之和，其中 R_{eq} 值计算公式如下：

$$\zeta = \frac{R_{eq}}{2} * \sqrt{\frac{C_{eq}}{L_{eq}}}$$

STEP 3: 查找驱动电路的导通电阻 R_{DS_ON} ，通过以下公式计算出 R_{GATE} : $R_{eq} = R_{GATE} + R_{DS_ON}$

STEP 4: 将计算出的新的 R_{GATE} 值上板测试，观察栅极驱动波形是否存在震荡或不稳定状态，用户可根据实际波形微调外部栅极驱动电阻，以满足最佳性能。

如图 6 以 CA-IS3211x_EVM 为例，设计一个合适的外部栅极驱动电阻。R1 为开通电阻，R6 为关断电阻，D2 为关断二极管，C10 为负载电容。

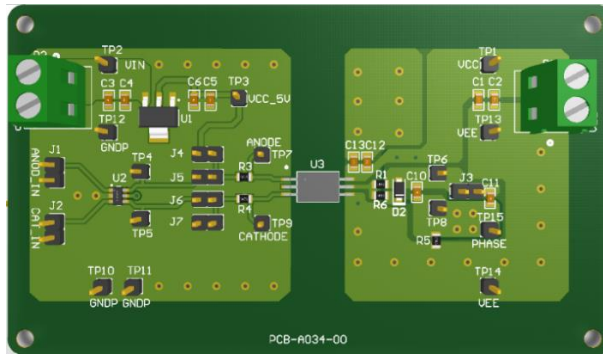


图 6 CA-IS3211x EVM (CA-IS3211VCJ, SOIC6-WB 为例)

测试条件：输入高电平 5V 和频率 20kHz 的方波， $V_{CC}-V_{EE}=15V$ ， $C_{10}=1nF$ 。如图 7 所示，可测得谐振频率 $F_R \approx 42MHz$ ，通过公式计算出寄生电感 $L_s=14.37nH$ ， $t_{rise}=7.6ns$ 。

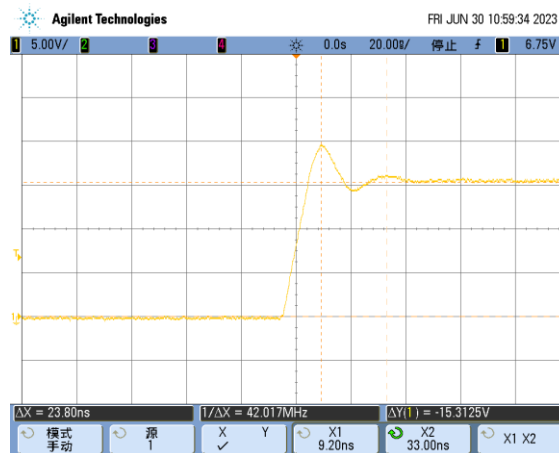


图 7 $R_{GATE}=0\Omega$ 时的驱动波形

阻尼比选取 0.7，经过上述公式计算 $R_{eq}=5.3\Omega$ ，因为驱动芯片导通电阻 $R_{DS,ON} \approx 3\Omega$ ，故外部栅极电阻取 $R_{GATE}=2.2\Omega$ ，将新的栅极导通电阻 R_{GATE} 重新测试，如图 8 所示，输出电压振荡明显减小，接近临界阻尼状态。上升时间也有轻微增大， $t_{rise}=9.8ns$ 。

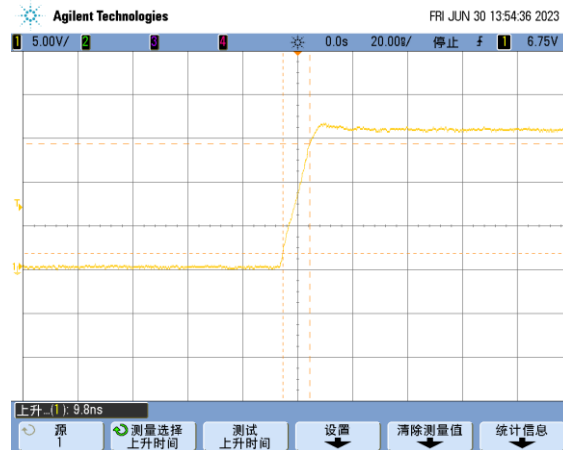


图 8 $R_{GATE}=2.2\Omega$ 时的驱动波形

栅极驱动电阻选取注意事项：

1. 栅极电阻的功率推荐大于等于栅极驱动功率 2 倍，IGBT 功率为 $P = f * \Delta U * Q$ （ f 为工作频率， ΔU 为驱动峰峰值电压， Q 为栅极电荷），假设工作频率 20kHz，峰峰值电压 15V， $Q_c=1\mu C$ ，可计算出 IGBT 的驱动功率 0.3W，则栅极电阻可选两个 1206 封装（1/4W）电阻并联。
2. 尽可能减小栅极回路的电感感抗。譬如驱动芯片靠近功率管减小引线长度；采用无感栅极电阻；开通和关断驱动走线尽量靠近等。
3. 用户需根据实际的功率器件进行调整栅极电阻，因为大部分情况下，各个功率器件厂商的寄生参数都不一样。
4. 在 MOS 开通阶段，可以提高栅极充电电流（减小外部栅极导通电阻）来减小米勒平台时间，反之，增大栅极放电电流（减小外部栅极关断电阻）可以减小关断时刻的米勒平台时间。同样，选择 C_{GD} 小的功率管也可以减小米勒平台时间。

5 总结

栅极驱动电阻选择尤为重要，用户需要综合考虑开通和关断时间、过冲电压、EMC、开关损耗、效率和应力等方面来设计栅极电阻。本文主要从基础驱动电路方面展开，通过数学建模分析，描述栅极电阻与过冲电压以及上升下降时间关系，以提供用户参考设计。

6 Revision History

Revision	Notes	Page	Editor	Date
Rev 1.0	Initial publish	All	Robin	2023.7.1

重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>